



日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jordan & Hamburg LLP
F-7337
S.N. 10/090,851
Shigeki SAKAI et al.
212-986-2340

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月27日

出 願 番 号

Application Number:

特願2001-090509

[ST.10/C]:

[JP2001-090509]

出 願 人

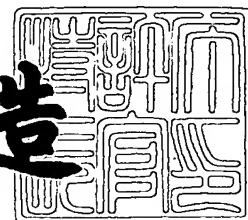
Applicant(s):

独立行政法人産業技術総合研究所
日本プレシジョン・サーキット株式会社

2002年 2月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3010661

【書類名】 特許願

【整理番号】 Y110235

【提出日】 平成13年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/00

【発明者】

【住所又は居所】 茨城県つくば市梅園1丁目1番4 経済産業省産業技術
総合研究所電子技術総合研究所内

【氏名】 酒井 滋樹

【発明者】

【住所又は居所】 東京都江東区福住2丁目4番3号 日本プレシジョン・
サーキット株式会社内

【氏名】 坂巻 和男

【特許出願人】

【持分】 001/002

【識別番号】 301000011

【氏名又は名称】 経済産業省産業技術総合研究所長 日下 一正

【特許出願人】

【持分】 001/002

【識別番号】 390009667

【氏名又は名称】 日本プレシジョン・サーキット株式会社

【代理人】

【識別番号】 100059959

【弁理士】

【氏名又は名称】 中村 稔

【選任した代理人】

【識別番号】 100067013

【弁理士】

【氏名又は名称】 大塚 文昭

【選任した代理人】

【識別番号】 100082005

【弁理士】

【氏名又は名称】 熊倉 禎男

【選任した代理人】

【識別番号】 100065189

【弁理士】

【氏名又は名称】 宍戸 嘉一

【選任した代理人】

【識別番号】 100096194

【弁理士】

【氏名又は名称】 竹内 英人

【選任した代理人】

【識別番号】 100074228

【弁理士】

【氏名又は名称】 今城 俊夫

【選任した代理人】

【識別番号】 100084009

【弁理士】

【氏名又は名称】 小川 信夫

【選任した代理人】

【識別番号】 100082821

【弁理士】

【氏名又は名称】 村社 厚夫

【選任した代理人】

【識別番号】 100086771

【弁理士】

【氏名又は名称】 西島 孝喜

【選任した代理人】

【識別番号】 100084663

【弁理士】

【氏名又は名称】 箱田 篤

【手数料の表示】

【予納台帳番号】 008604

【納付金額】 10,500円

【その他】 国以外のすべての者の持分の割合 1 / 2

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体不揮発性記憶素子及びその製造方法

【特許請求の範囲】

【請求項 1】 電界効果型トランジスタを含む強誘電体不揮発性記憶素子であって、

前記電界効果型トランジスタが、半導体基板のチャンネル領域上に第 1 絶縁体層、第 1 導電体層、強誘電体層、及び第 2 導電体層が順次積層された構造を持ち

前記電界効果型トランジスタが、前記半導体基板の前記チャンネル領域両側のソース領域とドレイン領域上にそれぞれ形成された第 3 導電体と第 4 導電体を持ち、

前記第 3 導電体及び前記第 4 導電体と、前記第 1 導電体層の間に第 2 絶縁体薄膜を持つ、

ことを特徴とする半導体不揮発性記憶素子。

【請求項 2】 前記第 1 導電体層の前記第 3 及び第 4 導電体と対向する側壁及び／又は前記第 3 及び第 4 導電体の前記第 1 導電体層と対向する側壁に凹凸を含むことを特徴とする請求項 1 記載の半導体不揮発性記憶素子。

【請求項 3】 前記半導体基板が SOI 基板であることを特徴とする請求項 1 又は 2 に記載の半導体不揮発性記憶素子。

【請求項 4】 前記強誘電体層上の前記第 2 導電体層の面積を、前記強誘電体層の面積より小さくしてあることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体不揮発性記憶素子。

【請求項 5】 前記第 2 導電体層が、前記半導体基板の素子分離上にあることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体不揮発性記憶素子。

【請求項 6】 前記第 1 絶縁体層及び前記第 2 絶縁体薄膜は、 SiO_2 （酸化シリコン）、 SiN （窒化シリコン）、 SiON （酸窒化シリコン）、 $\text{SiO}_2\text{-SiN}$ （ON 膜：酸化シリコンー窒化シリコン）、 $\text{SiO}_2\text{-SiN-SiO}_2$ （ONO 膜：酸化シリコンー窒化シリコンー酸化シリコン）、 Ta_2O_5 、 SrTiO_3 、 TiO_2 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 Al_2O_3 、 ZrO_2 、 HfO_2 、 Y_2O_3 、 CeO_2 、 CeZrO_2 、及び、YSZ（酸化イットリウム安定化酸化ジル

コニウム) からなるグループから選んだ一つの材料の層または2つ以上の材料の積層であることを特徴とする請求項1乃至5のいずれかに記載の半導体不揮発性記憶素子。

【請求項7】 前記強誘電体層は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 PbTiO_3 、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ 、 $\text{Pb}_y\text{La}_{1-y}\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 SrNbO_7 、 $\text{Pb}_5\text{Ge}_3\text{O}_{11}$ 及び、 $\text{Sr}_2\text{Ta}_x\text{Nb}_{1-x}\text{O}_7$ からなるグループの中から選ばれた一つの材料の層であることを特徴とする請求項1乃至6のいずれかに記載の半導体不揮発性記憶素子。

【請求項8】 請求項1に記載の半導体不揮発性記憶素子を製造する方法において、

(a)チャンネル領域を含む半導体基板の一部の上にダミーゲートを形成する工程と、

(b)前記半導体基板上及び前記ダミーゲート上に第3及び第4導電体を一体的に堆積する工程と、

(c)前記第3及び前記第4導電体を平坦化する工程と、

(d)前記半導体基板にソース領域及びドレイン領域を形成する工程と、

(e) 前記ダミーゲートを除去して前記半導体基板の前記一部を露出する工程と、

(f)露出された前記半導体基板の前記一部の上、前記第3及び前記第4導電体の側壁の上、前記第3及び前記第4導電体の上に絶縁体薄膜を形成する工程と、

(g)前記絶縁体薄膜上に第1導電体層、強誘電体層、及び第2導電体層を順次に積層する工程と、

(h)前記第2導電体層、前記強誘電体層、及び前記第1導電体層のパターニングを行い、前記第2導電体層、前記強誘電体層、及び前記第1導電体層が積層された構造を形成する工程と、

を含むことを特徴とする半導体不揮発性記憶素子の製造方法。

【請求項9】 請求項1に記載の半導体不揮発性記憶素子を製造する方法において、

(a)半導体基板上に第1絶縁体層、第1導電体層、及びハードマスクとなる絶縁膜を順次に積層する工程と、前記ハードマスクとなる絶縁膜、第1導電体層、及び前記第1絶縁体層を所定のパターンに食刻形成する工程と、前記半導体基板に

ソース領域及びドレイン領域を形成する工程と、

(b)前記第1絶縁体層、前記第1導電体層、及び前記絶縁膜の側壁に、第2絶縁体薄膜を形成する工程と、

(c)前記半導体基板上、前記絶縁膜上、前記第2絶縁体薄膜上、及び前記第2絶縁体薄膜の側壁上に第3及び第4導電体を一体的に堆積する工程と、

(d)前記第3及び第4導電体を平坦化する工程と、

(e)前記第3及び第4導電体上に絶縁層を形成する工程と、及び前記ハードマスクとなる絶縁膜を除去する工程と、

(f)前記第3及び第4導電体上の前記絶縁層上と第1導電体層上に、強誘電体層と第2導電体層を順次に積層する工程と、

(g)前記第2導電体層と前記強誘電体層のパターニングを行って、食刻形成する工程と、

を含むことを特徴とする半導体不揮発性記憶素子の製造方法。

【請求項10】 請求項2に記載の半導体不揮発性記憶素子を製造する方法において、

(a)半導体基板上に第1絶縁体層、第1導電体層、及びハードマスクとなる絶縁膜を順次に積層する工程と、前記ハードマスクとなる絶縁膜及び前記第1導電体層を所定のパターンに食刻形成する工程と、前記半導体基板にソース領域及びドレイン領域を形成する工程と、

(b)前記第1導電体層の側壁に凹凸を形成する工程と、前記凹凸上に第2絶縁体薄膜を形成する工程と、

(c)前記ソース領域上とドレイン領域上の第1絶縁体層を除去する工程と、

(d)前記半導体基板上、前記ハードマスクとなる絶縁膜上、前記第2絶縁体薄膜上、及び前記第2絶縁体薄膜の側壁上に、第3及び第4導電体を一体的に堆積する工程と、

(e)前記第3及び第4導電体を平坦化する工程と、

(f)前記第3及び第4導電体上に絶縁層を形成する工程と、

(g)前記ハードマスクとなる絶縁膜を除去する工程と、

(h)前記絶縁層上及び前記第1導電体層上に、強誘電体層と第2導電体層を順次

に積層する工程と、

(i)前記強誘電体層及び前記第2導電体層のパターニングを行って、食刻形成する工程と、

を含むことを特徴とする半導体不揮発性記憶素子の製造方法。

【請求項11】 前記(h)工程において、前記強誘電体層の積層工程前に、前記絶縁層上及び前記第1導電体層上に、バリア層を積層する工程が行なわれ、前記(i)工程において、前記バリア層もパターニングされて食刻形成される請求項10に記載の製造方法。

【請求項12】 請求項3に記載の半導体不揮発性記憶素子を製造する方法において、

(a)半導体基板上に絶縁層とダミーゲート材を順次に積層する工程と、ダミーゲートおよび絶縁層を所定のパターンに食刻形成する工程と、ソース領域及びドレイン領域を形成する工程と、

(b)前記半導体基板上及び前記ダミーゲート上に、第3及び第4導電体を一体的に堆積する工程と、前記第3及び第4導電体を平坦化する工程と、

(c)前記ダミーゲートを除去する工程と、

(d)前記絶縁層を除去し、前記第3及び第4導電体の側壁に凹凸を形成する工程と、

(e)前記半導体基板上に第1絶縁体層を形成し、前記第3及び第4導電体層上と、前記第3及び第4導電体の側壁の凹凸上に、第2絶縁体薄膜を形成する工程と、

(f)前記第1絶縁体層上及び前記第2絶縁体薄膜上に、第1導電体層と強誘電体層と第2導電体層を順次に積層する工程と、

(g)前記第2導電体層、前記強誘電体層、及び前記第1導電体層のパターニングを行って、前記第2導電体層、前記強誘電体層、及び前記第1導電体層を食刻形成する工程と、

を含むことを特徴とする半導体不揮発性記憶素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体を制御ゲートに用いた電界効果型トランジスタ型強誘電体不揮発性記憶素子とその製造方法とに関するものである。

【0002】

【従来の技術】

強誘電体を制御ゲートに用いた電界効果型トランジスタ型強誘電体不揮発性記憶素子は、通常のMOS-FET (Metal Oxide Semiconductor - Field Effect Transistor) (導電体層-酸化膜-半導体-電界効果型トランジスタ) の絶縁層である酸化膜を強誘電体に置き換えた構成を有しているMFS-FET (Metal-Ferroelectric-Semiconductor) (導電体層-強誘電体層-半導体-電界効果型トランジスタ) がある。このMFS-FET型メモリは、強誘電体の分極がトランジスタの閾値電圧を変化させ、ソース、ドレイン間のチャネルの抵抗変化をドレイン電流値の大小の変化として読み取る方法である。この方式は強誘電体の残留分極の保持により、FET (電界効果型トランジスタ) のON、OFFを維持するため、低電圧による読み出し動作により情報が破壊されない。いわゆる非破壊読み出しである。

【0003】

強誘電体を制御ゲートに配置する電界効果型強誘電体メモリトランジスタMFS-FET型は大きく分けると2つの種類に分けられる。その一つは、MFIS (Metal-Ferroelectric-Insulator-Semiconductor) (導電体層-強誘電体層-絶縁体層-半導体) 構造を持つ強誘電体トランジスタで、MFS構造の強誘電体層 (F) と半導体 (S) の間に絶縁層 (I) を挟み込んだものである。強誘電体がその分極によりゲート絶縁層を介して、半導体基板表面に電荷を誘起するものである。

【0004】

もう一つは、MFMIS (Metal-Ferroelectric-Metal-Insulator-Semiconductor) (導電体層-強誘電体層-導電体層-絶縁層-半導体) 構造をゲート構造に持つ強誘電体トランジスタで、MFIS構造の強誘電体層 (F) と絶縁層 (I) の間に導電体層 (M) (またはフローティング・ゲートと呼ぶ) を挟み込んだものである。本発明は、後者のMFMIS構造に関するものである。

【0005】

なお、本明細書中で記載している導電体層(M)とは、金属の他、多結晶シリコン（ポリシリコン、Poly-Si）、金属と多結晶シリコンとの合金などの導電体、及びこれらの積層体も含むものとする。

【0006】

従来のMFMS型強誘電体メモリは、図12(a)に示すように、半導体基板(S)上にチャンネル領域を挟んでソース領域とドレイン領域とが形成されていて、真中のチャンネル領域の半導体基板(S)の主面に半導体プロセスで良く使われている酸化シリコン層(SiO_2)がゲート絶縁体層(I)として積層され、その上にポリシリコン(Poly-Si)が第1導電体層(M)として積層され、更にその上に強誘電体材料とPoly-Siとの相互拡散を防ぐためにバリア層としてIr/IrO₂(イリジウム/酸化イリジウム)が積層され、その上に強誘電体薄層(F)、例えば、PZT($\text{PbZr}_x\text{T}_{1-x}\text{O}_3$)、が積層され、その上にゲート電極としてIr/IrO₂が第2導電体層(M)として積層されている。図12(a)は、この積層構造をリソグラフィとエッチングを行なって、ゲート部として形成した様子を示している。(参考文献:T. Nakamura et al. Dig. Tech. Pap. of 1995 IEEE Int. Solid State Circuits Conf. P.68(1995))

図12(b)は図12(a)のMFMS構造を等価回路で表したもので、強誘電体キャパシタの容量(C_F)とゲート絶縁体キャパシタの容量(C_I)が直列に接続されている。図12(b)において、上部電極Aと半導体基板B間に電圧を印加して、強誘電体層を分極させる時、記憶保持特性の観点から強誘電体の分極が十分飽和するまで電圧を印加することが必要である。

【0007】

強誘電体キャパシタに分配される電圧は、強誘電体キャパシタの容量(C_F)とゲート絶縁体キャパシタの容量(C_I)とのカップリング比($C_I / (C_I + C_F)$)に依存する。

【0008】

強誘電体キャパシタに分配される電圧を大きくするには、ゲート絶縁体キャパシタの容量(C_I)が強誘電体キャパシタンスの容量(C_F)に比較して大きくなるように設計することが重要である。

【0009】

そこでゲート絶縁体キャパシタの容量 (C_I) が強誘電体キャパシタの容量 (C_F) に比較して大きくなるように設計するために、ゲート絶縁膜を薄くすること、強誘電体薄膜を厚くすることが考えられるが、ゲート絶縁膜を薄くすることは耐圧およびリーク電流の点から限界がある。また強誘電体薄膜を厚くすると強誘電体の分極を飽和させるために、高い駆動電圧を必要とすることになる。

【0010】

これらの問題を避けてゲート絶縁体キャパシタの容量 (C_I) を強誘電体キャパシタの容量 (C_F) に比較して大きくする従来方法は、キャパシタンス C_F とキャパシタンス C_I の面積を変える方法である。これを行った簡単な断面模式図を図12(c) に示す。また図12(c) を上部より見た平面図を図12(d) に示す。 C_I を構成するMIS (導電体-絶縁体-半導体) 部の面積の一部のみに強誘電体層を有するMFMIS構造を有している。この従来方法によって、 C_I を必要に応じて C_F に比較して大きく設計することができる。

【0011】

【発明が解決しようとする課題】

しかしながら、この従来のは、強誘電体キャパシタに大きな分配電圧を加えるために、MFMキャパシタの面積に対して相対的にMISキャパシタの面積を平面的に大きくする方法が採用されていたので、図12(d) に示すように、MFMIS部を最小加工寸法で形成してもMIS部はMFMIS部との面積比分だけ大きくなり、結局大きい面積を専有することとなり、高い集積度を得ることが出来ない問題点を有していた。

【0012】

そこで本発明は、このような従来技術が有する未解決な課題を解決したものである。メモリセル面積を縮小して高密度に集積化を可能にし、信頼性の高いトランジスタ型強誘電体不揮発性記憶素子を提供することを目的とするものである。

【0013】

【課題を解決するための手段】

上記の目的を達成するために、請求項1に記載の本発明では、電界効果型トランジスタを含む強誘電体不揮発性記憶素子であって、電界効果型トランジスタが、半導体基板のチャンネル領域上に第1絶縁体層、第1導電体層、強誘電体層、及び第2導電体層が順次積層された構造を持ち、電界効果型トランジスタが、半導体基板のチャンネル領域両側のソース領域とドレイン領域上にそれぞれ形成された第3導電体層と第4導電体を持ち、第3及び第4導電体と、第1導電体層の間に第2絶縁体薄膜を持つことを特徴とする半導体不揮発性記憶素子を提供する。

【0014】

このように構成してあるので、請求項1に記載の本発明では、第1導電体層、第2絶縁体薄膜と第3及び第4導電体で構成されるMIM構造のキャパシタが、第1導電体層、第1絶縁体層と半導体基板で構成されるMIS構造のキャパシタと並列に接続される構成となるので、MIS構造の実効面積を増加させることができ、その合成キャパシタの静電容量 C_I を大きくすることができる。

【0015】

これによってMFM構造とMIS構造のキャパシタ面積はシリコン主面上の専有面積が同じであっても、MIS構造の実効面積をMFM構造の実効面積より大きくすることが可能である。よって従来に比べてメモリセル面積を増大させることなく、MFM構造のキャパシタの静電容量 C_F とMIS構造のキャパシタとMIM構造のキャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ を大きくすることができる。効率的に強誘電体キャパシタに分配電圧を加えることが出来る。

【0016】

このようにして、専有面積を増大させることなく、ほぼ同一面積内に上下に積み重ねられているMISキャパシタの実効面積をMFM部キャパシタの実効面積に較べて増大することができる。この結果、メモリセル面積を縮小して高密度に集積化を可能にし、信頼性の高いトランジスタ型強誘電体不揮発性記憶素子を提供できる。

【0017】

請求項2に記載の本発明では、請求項1に記載の半導体不揮発性記憶素子にお

いて、第1導電体層の第3及び第4導電体と対向する側壁及び／又は第3及び第4導電体の第1導電体層と対向する側壁に凹凸を含む半導体不揮発性記憶素子を提供する。

【0018】

このように構成してあるので、請求項2に記載の本発明では、第3及び第4導電体と第2絶縁体薄膜を介して対向する第1導電体層の側壁に凹凸によって表面積を増加させて、MIM構造のキャパシタンスを増加させている。このようにすることによってMIS構造の実効面積をさらに増加させることができる。

【0019】

従って、MFM構造とMIS構造のキャパシタ面積はシリコン主面上の専有面積が同じであっても、MIS構造の実効面積をMFM構造の実効面積よりさらに大きくすることが可能である。よって従来に比べてメモリセル面積を増大させることなく、MFM構造のキャパシタの静電容量 C_F とMIS構造のキャパシタとMIM構造のキャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ をさらに大きくすることができ、効率的に強誘電体キャパシタに分配電圧を加えることが出来る。

【0020】

請求項3に記載の本発明では、請求項1または2に記載の半導体不揮発性記憶素子において、半導体基板として、SOI (Silicon On Insulator) 基板を使用した半導体不揮発性記憶素子を提供する。

【0021】

このように構成してあるので、請求項4に記載の本発明によれば、絶縁性基板の上のシリコン上に電界効果型半導体装置が構成されるので、ソース・ドレインとシリコン基板間の寄生容量が減少し、高速で低消費電力のトランジスタ型強誘電体不揮発性記憶素子を提供できる。

【0022】

請求項4に記載の本発明では、請求項1乃至3のいずれかに記載の半導体不揮発性記憶素子において、強誘電体層上の第2導電体層の面積を、強誘電体層の面積より小さくした半導体不揮発性記憶素子を提供する。

【0023】

このように構成すれば、MIS構造の実効面積をMFM構造の実効面積よりも相対的に大きくすることが可能である。よって、MFM構造のキャパシタの静電容量 C_F とMIS構造のキャパシタとMIM構造のキャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ をさらに大きくすることができて、効率的に強誘電体キャパシタに分配電圧を加えることが出来る。

【 0 0 2 4 】

請求項5に記載の本発明では、請求項1乃至4のいずれかに記載の半導体不揮発性記憶素子において、第2導電体層が、半導体基板の素子分離領域上にある半導体不揮発性記憶素子を提供する。

【 0 0 2 5 】

このように構成すれば、第2導電体層を素子分離領域上に置くことによって、配線上の自由度の増加を図ることができ、よって、半導体不揮発性記憶素子の高集積化をさらに高めることができる。

【 0 0 2 6 】

請求項6に記載の本発明では、請求項1乃至5のいずれかに記載の半導体不揮発性記憶素子において、第1絶縁体層及び第2絶縁体薄膜が、 SiO_2 （酸化シリコン）、 SiN （窒化シリコン）、 SiON （酸窒化シリコン）、 $\text{SiO}_2\text{-SiN}$ （ON膜：酸化シリコン-窒化シリコン）、 $\text{SiO}_2\text{-SiN-SiO}_2$ （ONO膜：酸化シリコン-窒化シリコン-酸化シリコン）、 Ta_2O_5 、 SrTiO_3 、 TiO_2 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 Al_2O_3 、 ZrO_2 、 HfO_2 、 Y_2O_3 、 CeO_2 、 CeZrO_2 、及び、YSZ（酸化イットリウム安定化酸化ジルコニウム）からなるグループから選んだ一つの材料の層または2つ以上の材料の積層である半導体不揮発性記憶素子が提供される。

【 0 0 2 7 】

請求項7に記載の本発明では、請求項1乃至6のいずれかに記載の半導体不揮発性記憶素子において、強誘電体層が、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 PbTiO_3 、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ 、 $\text{Pb}_y\text{La}_{1-y}\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 SrNbO_7 、 $\text{Pb}_5\text{Ge}_3\text{O}_{11}$ 及び、 $\text{Sr}_2\text{Ta}_x\text{Nb}_{1-x}\text{O}_7$ からなるグループの中から選ばれた一つの材料の層である半導体不揮発性記憶素子が提供される。

【 0 0 2 8 】

請求項 8 に記載の本発明では、請求項 1 に記載の半導体不揮発性記憶素子を製造する方法において、(a)チャンネル領域を含む半導体基板の一部上にダミーゲートを形成する工程と、(b)半導体基板上及びダミーゲート上に第 3 及び第 4 導電体を一体的に堆積する工程と、(c)第 3 及び第 4 導電体を平坦化する工程と、(d)半導体基板にソース領域及びドレイン領域を形成する工程と、(e)ダミーゲートを除去して半導体基板の一部を露出する工程と、(f)露出された半導体基板の一部上、第 3 及び第 4 導電体の側壁上及び第 3 及び第 4 導電体上に絶縁体薄膜を形成する工程と、(g)絶縁体薄膜上に第 1 導電体層、強誘電体層、及び第 2 導電体層を順次に積層する工程と、(h)第 2 導電体層、強誘電体層、及び第 1 導電体層のパターニングを行い、第 2 導電体層、強誘電体層、及び第 1 導電体層を食刻形成する工程と、を含むことを特徴とする半導体不揮発性記憶素子の製造方法が提供される。

【 0 0 2 9 】

請求項 8 に記載の本発明の製造方法によれば、第 1 導電体層、第 2 絶縁体薄膜と第 3 導電体層及び第 4 導電体で構成される MIM 構造のキャパシタが、第 1 導電体層、第 1 絶縁体層と半導体基板で構成される MIS 構造のキャパシタと並列接続される構成となり、MIS 構造の実効面積を増加させることができ、その合成キャパシタの静電容量 C_I を大きくすることができる。

【 0 0 3 0 】

このように、第 1 導電体層の側壁に第 2 絶縁体薄膜と第 3 及び第 4 導電体により形成される MFM 構造を設けることにより、バッファ層の全キャパシタ C_I の実効面積を MFM キャパシタの実効面積より大きくすることができる。従って、この製造方法によれば、従来に比べて、メモリセル面積を増大させることなく、MFM キャパシタの静電容量 C_F と MIS キャパシタと MIM キャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ を大きくすることができ、効率的に強誘電体キャパシタに分配電圧を加えることができる。

【 0 0 3 1 】

このようにして、専有面積を増大させることなく、ほぼ同一面積内に上下に積み重ねられている MIS キャパシタの面積を MFM 部キャパシタの面積に較べて増大す

ることができる結果、メモリセル面積を縮小して高密度に集積化を可能にし、信頼性の高いトランジスタ型強誘電体不揮発性記憶素子を提供できる。

【 0 0 3 2 】

また、この製造方法によれば、(g)の工程で強誘電体層を形成する時には、半導体基板は露出されていないので、強誘電体に含まれる不純物が遊離して半導体基板中に拡散してデバイス特性を劣化させることがない利点がある。

【 0 0 3 3 】

さらに、通常はゲート部を形成した後に、半導体基板にイオン注入をおこない、熱処理をしてソース、ドレイン領域を形成するが、このイオン注入によって強誘電体薄膜の側壁にダメージが生じる恐れがある。また熱処理時に強誘電体からシリコンへの汚染が生じる恐れがある。これに対して、本発明の製造方法はソース、ドレインを形成した後に強誘電体キャパシタを形成するので側壁へのダメージや強誘電体の汚染といった問題がないという利点がある。

【 0 0 3 4 】

請求項 9 に記載の本発明では、請求項 1 に記載の半導体不揮発性記憶素子を製造する方法において、(a)半導体基板上に第 1 絶縁体層、第 1 導電体層、及びハードマスクとなる絶縁膜を順次に積層する工程と、ハードマスクとなる第 1 絶縁体層、第 1 導電体層、及び絶縁膜を所定のパターンに食刻形成する工程と、半導体基板にソース領域及びドレイン領域を形成する工程と、(b)第 1 絶縁体層、第 1 導電体層、及び絶縁膜の側壁に、第 2 絶縁体薄膜を形成する工程と、(c)半導体基板上、絶縁膜上、第 2 絶縁体薄膜上、及び第 2 絶縁体薄膜の側壁上に第 3 及び第 4 導電体を一体的に堆積する工程と、(d)第 3 及び第 4 導電体を平坦化する工程と、(e)第 3 及び第 4 導電体上に絶縁層を形成する工程と、及び前記ハードマスクとなる絶縁膜を除去する工程と、(f)第 3 及び第 4 導電体上の絶縁層上と第 1 導電体層上に、強誘電体層と第 2 導電体層を順次に積層する工程と、(g)第 2 導電体層と強誘電体層のパターニングを行って、食刻形成する工程と、を含む半導体不揮発性記憶素子の製造方法が提供される。

【 0 0 3 5 】

この請求項 9 に記載の製造方法によれば、第 1 導電体層の側壁に第 2 絶縁体薄

膜と第3及び第4導電体から形成されたMIM構造を設けることによって、バッファ層の全キャパシタ C_I の実効面積をMFMキャパシタの実効面積より大きくすることができる。従って、この製造方法によれば、従来に比べて、メモリセル面積を増大させることなく、MFMキャパシタの静電容量 C_F とMISキャパシタとMIMキャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ を大きくすることができ、効率的に強誘電体キャパシタに分配電圧を加えることが出来る。

【 0 0 3 6 】

また、工程(a)において形成されたソース領域及びドレイン領域に、工程(b)において形成される第2絶縁体薄膜をスペーサーと利用して、さらに不純物注入すればLDD(Lightly Doped Drain)構造を形成することができる。

【 0 0 3 7 】

請求項10に記載の本発明では、請求項2に記載の半導体不揮発性記憶素子を製造する方法において、(a)半導体基板上に第1絶縁体層、第1導電体層、及びハードマスクとなる絶縁膜を順次に積層する工程と、ハードマスクとなる絶縁膜及び第1導電体層を所定のパターンに食刻形成する工程と、半導体基板にソース領域及びドレイン領域を形成する工程と、(b)第1導電体層の側壁に凹凸を形成する工程と、凹凸上に第2絶縁体薄膜を形成する工程と、(c)ソース領域上とドレイン領域上の第1絶縁体層を除去する工程と、(d)半導体基板上、ハードマスクとなる絶縁膜上、第2絶縁体薄膜上、及び第2絶縁体薄膜の側壁上に、第3及び第4導電体を一体的に堆積する工程と、(e)第3及び第4導電体を平坦化する工程と、(f)第3及び第4導電体上に絶縁層を形成する工程と、(g)ハードマスクとなる絶縁膜を除去する工程と、(h)前記絶縁層上及び第1導電体層上に、強誘電体層と第2導電体層を順次に積層する工程と、(i)第2導電体層及び強誘電体層のパターニングを行って、食刻形成する工程と、を含む半導体不揮発性記憶素子の製造方法が提供される。

【 0 0 3 8 】

この請求項10に記載の製造方法によれば、第1導電体層の側壁の表面に微小な凹凸を形成して表面積を増加させて、第1導電体層の側壁と第2絶縁体薄膜と第3及び第4導電体とから形成されるMIM構造を設けている。すなわち、この

製造方法は工程(b)において、第1導電体層の側壁の凹凸が表面積を増加させて、MIM構造のキャパシタンスを増加させ、これによりMIS構造の実効面積をさらに増加させるている。この結果、バッファ層の全キャパシタ C_I の実効面積をMFMキャパシタの実効面積より大きくすることができる。従って、この製造方法によれば、従来に比べて、メモリセル面積を増大させることなく、MFMキャパシタの静電容量 C_F とMISキャパシタとMIMキャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ を大きくすることができ、効率的に強誘電体キャパシタに分配電圧を加えることが出来る。

【 0 0 3 9 】

請求項11に記載の本発明では、請求項10に記載の製造方法において、工程(h)において、強誘電体層の積層工程前に、絶縁層上及び第1導電体層上に、バリア層を積層する工程が行なわれ、工程(i)において、バリア層もパターニングして食刻形成される製造方法が提供される。

【 0 0 4 0 】

この請求項11に記載の製造方法によれば、バリア層が上の強誘電体層の不純物の半導体基板への移動を阻止でき、素子の動作の安定性を維持することができる。

【 0 0 4 1 】

請求項12に記載の本発明では、請求項3に記載の半導体不揮発性記憶素子を製造する方法において、(a)半導体基板上に絶縁層とダミーゲート材を順次に積層する工程と、ダミーゲートおよび絶縁層を所定のパターンに食刻形成する工程と、ソース領域及びドレイン領域を形成する工程と、(b)半導体基板上及びダミーゲート上に、第3及び第4導電体を一体的に堆積する工程と、第3及び第4導電体を平坦化する工程と、(c)ダミーゲートを除去する工程と、(d)絶縁層を除去し、第3及び第4導電体の側壁に凹凸を形成する工程と、(e)半導体基板上に第1絶縁体層を形成し、第3及び第4導電体上と、第3及び第4導電体の側壁の凹凸上に、第2絶縁体薄膜を形成する工程と、(f)第1絶縁体層上及び第2絶縁体薄膜上に、第1導電体層と強誘電体層と第2導電体層を順次に積層する工程と、(g)第2導電体層、強誘電体層、及び第1導電体層のパターニングを行って、第

2 導電体層、強誘電体層、及び第 1 導電体層を食刻形成する工程と、を含む半導体不揮発性記憶素子の製造方法が提供される。

【 0 0 4 2 】

この請求項 1 2 の製造方法によれば、第 3 及び第 4 導電体の側壁の表面に微小な凹凸を形成して表面積を増加させ、第 3 及び第 4 導電体の側壁と第 2 絶縁薄膜と第 1 導電体層とから MIM 構造を形成して、MIS 構造と並列に接続して、バッファ層の全キャパシタ C_I の実効面積を MFM キャパシタの実効面積より大きくすることができる。従って、この製造方法によれば、従来に比べて、メモリセル面積を増大させることなく、MFM キャパシタの静電容量 C_F と MIS キャパシタと MIM キャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ を大きくすることができ、効率的に強誘電体キャパシタに分配電圧を加えることが出来る。

【 0 0 4 3 】

【発明の実施の形態】

以下、本発明の詳細を添付図面に示した好適な実施の形態にそって説明する。尚、各図は、本発明が理解出来る程度の大きさ、構成および配置関係を概略的に示しているに過ぎない。また、以下に記載する数値やプロセス条件、材料などは単に一例に過ぎない。従って、本発明は、この例示的な実施形態に何ら限定されるものではない。

【 0 0 4 4 】

第 1 の実施の形態

図 1 は、本発明の第 1 の実施の形態による半導体不揮発性記憶素子の構成の要部の断面図である。図 1 に示すように、この実施の形態では、シリコン半導体(S)基板 1 のチャンネル領域 2 上に、二酸化シリコンの第 1 絶縁層(I) 3 / ポリシリコンの第 1 導電体層(M) 4 (IrO₂のバリア層をポリシリコン上に含んでも良い) / SBT (SrBi₂Ta₂O₉) の強誘電体層(F) 5 / 白金の第 2 導電体層(M) 6 を順次に積層した、MFMS 構造のゲート部を備えている。また、半導体基板 1 はチャンネル領域 2 の両側にソース領域 7 とドレイン領域 8 を有する。ソース領域 7 とドレイン領域 8 上には、それぞれソース領域 7 とドレイン領域 8 に電氣的に接続するドーパされたポリシリコンの第 3 導電体 9 と第 4 導電体 10 が積層されて、ソー

ス部とドレイン部を構成している。第3導電体9及び第4導電体10と第1導電体層4の間にはそれぞれ二酸化シリコンの第2絶縁体薄膜11が介在している。また、第3導電体9及び第4導電体10は、強誘電体層4より半導体基板1側に位置するように積層されている。これらMFMIS構造のゲート部、第3及び第4導電体を含むソース部およびドレイン部は半導体基板1の素子領域内に形成される。

【0045】

この構成では、第3及び第4導電体(M)9、10の側壁と第2絶縁体薄膜(I)11と第1導電体層(M)4の側壁で形成されるMIM構造の面積と、半導体基板1と第1絶縁体層3と第1導電体層4で形成されるMIS構造の面積との合計面積を、第1導電体層4と強誘電体層5と第2導電体層6とで形成されるMFM構造の面積と比較して、より大きくすることができる。このMIS構造とMIM構造を含む合計実効面積は、第1導電体層4と第3及び第4導電体9、10の高さを制御することによって変えることができる。

【0046】

すなわち、この構成によれば、第3及び第4導電体(M)9、10の側壁と第2絶縁体薄膜(I)11と第1導電体層(M)4の側壁で形成されるMIM構造のキャパシタと、半導体基板(S)1と第1絶縁体層(I)3と第1導電体層(M)4で形成されるMIS構造のキャパシタの合計キャパシタの静電容量がゲート絶縁体キャパシタの容量 C_I を構成する。第1導電体層4と強誘電体層5と第2導電体層6とで形成されるMFM構造の強誘電体のキャパシタの容量 C_F を構成する。従って、容量 C_I の大きさは第1導電体層4と第3及び第4導電体9、10の高さを制御することによって変えることができる。

【0047】

この構成では、第1導電体層4、第2絶縁体薄膜11と第3導電体及び第4導電体9、10で構成されるMIM構造のキャパシタが、第1導電体層4、第1絶縁体層3と半導体基板1で構成されるMIS構造のキャパシタと並列に接続される構成となるので、MIS構造の実効面積を増加させることができ、その合成キャパシタの静電容量 C_I を大きくする。

【 0 0 4 8 】

これにより、MFM構造とMIS構造のキャパシタ面積は半導体基板1の主面上での専有面積が同じであっても、MIS構造の実効面積をMFM構造の実効面積より大きくすることが可能である。従って、従来に比べてメモリセル面積を増大させることなく、MFM構造のキャパシタの静電容量 C_F とMIS構造のキャパシタとMIM構造のキャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ を大きくすることができる。このようにして、専有面積を増大させることなく、ほぼ同一面積内に上下に積み重ねられているMISキャパシタの面積をMFM部キャパシタの面積に較べて増大し、この結果、メモリセル面積を縮小して高密度に集積化を可能にし、信頼性の高いトランジスタ型強誘電体不揮発性記憶素子を構成できる。

【 0 0 4 9 】

次に、図2(a)乃至図2(i)を参照して、図1に示す第1の実施の形態の半導体不揮発性記憶素子の製造方法を説明する。図2(a)乃至(i)は製造方法の工程を示す、断面図である。

【 0 0 5 0 】

まず、シリコン半導体基板1（一例としてp型基板を用いた。）を用意し、半導体基板1上に常圧CVD法で酸化膜を堆積した。そして、通常のリソグラフィ技術とエッチング技術で半導体基板1上のチャンネル領域2上にダミーゲート酸化膜層パターン20を形成した（図2(a)）。

【 0 0 5 1 】

次に、リンをドーパされたポリシリコン（Poly-Si）層21（後で第3及び第4導電体となる）を減圧CVD法で、半導体基板1上に、ダミーゲート酸化層パターン20上まで堆積した（図2(b)）。

【 0 0 5 2 】

次に、化学機械研磨（CMP(Chemical and Mechanical Polishing)）平坦化法でドーパしたポリシリコン層21を平坦化して、ダミーゲート酸化膜パターン20の両側に第3導電体9及び第4導電体10を形成する（図2(c)）。

【 0 0 5 3 】

次に、半導体基板1を熱処理して、ソース領域7、ドレイン領域8を固相-固

相拡散で形成するために、リンを高濃度にドーピングされたポリシリコン層の第3導電体9及び第4導電体10からシリコン半導体基板1中へ拡散させる(図2(d))。この方法は、他の方法と比較してより均一に浅い高濃度の不純物拡散ができる。またこの方法はポリシリコン層はそのまま第3及び第4導電体(電極)9及び10として用いることができる。

【0054】

次に、ダミーゲート酸化膜層20をHF処理などで除去する(図2(e))。

【0055】

次に、半導体基板1上と第3及び第4導電体9、10の上と側壁に、二酸化シリコン(SiO_2)の絶縁層22を熱酸化で10nm厚形成した(図2(f))。この絶縁層22から、第1絶縁体層3(半導体基板1上)と第2絶縁体薄膜11(第3及び第4導電体9、10の側壁上)が形成される。

【0056】

次に、リンをドーピングしたポリシリコン(Poly-Si)23を減圧CVD法でダミーゲートのあった場所の凹部に堆積して埋め込み、そして第3及び第4導電体9、10上の絶縁層22上にも堆積する。なお、ポリシリコン23は、少なくとも第3及び第4導電体9、10の高さと同じになるまでダミーゲートのあった凹部中に堆積するだけでもよく、絶縁層22上には堆積する必要はない。このポリシリコン23が第1導電体層4となる。次に、強誘電体の拡散を防止する酸化イリジウム(IrO_2)のバリア層24をスパッター法で200nm厚堆積する。次に、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)の強誘電体層25を、予め組成が決められた有機金属溶液を準備してスピコート法によって塗布焼成し300nm厚形成した。次に、第2導電体層としての白金(Pt)層26をスパッター法で200nm厚堆積した(図2(g))。

【0057】

次に、通常のリソグラフィ技術とドライエッチング技術で第2導電体層6となる白金(Pt)層26と、強誘電体層5となるSBT層25と、バリア(IrO_2)層24と、第1導電体層4となるポリシリコン(Poly-Si)層23(絶縁層22上に堆積している場合)と、を順次エッチングして、ゲート部のMFMIS構造を形成する(図2(h))。

【0058】

次に、層間絶縁膜27として2酸化シリコン (SiO_2) をプラズマCVDにより堆積形成した後に、第2導電体 (Pt) 層6と、ソース領域7上とドレイン領域8上の第3及び第4導電体9、10に達するコンタクトホールを開けて、アルミニウム電極 (Al) 28を形成して加工して完成した (図2 (i))。

【0059】

なお、図2 (g) の工程で第2導電体層 (Pt) 26を形成した後、MFM構造のパターンを形成する大きさは、必ずしもトランジスタのチャネル長と同じでなくともよく、図2 (j) のように少し大きくして加工しても良い。

【0060】

この製造方法によれば、強誘電体キャパシタの層25を形成する時に、シリコン基板1が剥き出しにならないので、強誘電体に含まれる不純物が遊離してシリコンに拡散してデバイス特性を劣化させることもない利点がある。

【0061】

この製造方法によれば、半導体基板1と第1絶縁層3と第1導電体層4からなるMIS構造の半導体主面に占める面積が、その上の第1導電体層4と強誘電体層5と第2導電体層6からなるMFM構造とほぼ同じでも、このような構造をとることによって、バッファ層の全キャパシタ C_I の実効面積をMFMキャパシタ面積より大きくすることができる。従って、この構成例によれば、従来に比べて、メモリセル面積を増大させることなく、MFMキャパシタの静電容量 C_F とMISキャパシタとMIMキャパシタの合成静電容量 C_I のカップリング比 ($C_I / (C_I + C_F)$) を大きくすることができ、効率的に強誘電体キャパシタに分配電圧を加えることができる。

【0062】

半導体基板と第1絶縁層と第1導電体からなる容量を C_{MIS} とし、第1導電体層と第2絶縁体薄膜と第3及び第4導電体からなる容量を C_{MIN} とし、ゲート長 (図2 (i) の第2絶縁体薄膜に挟まれた距離113) を L 、ゲート幅 (図示していないが図2 (i) の第2絶縁体薄膜の奥行) を W 、図2 (i) の第1導電体層の底面から第3及び第4導電体の上面との距離114を h 、第2絶縁体薄膜の

膜厚（膜厚とは第1導電体層と第3又は第4導電体で挟まれた領域の平均距離）を t 、第1絶縁体層の酸化膜膜厚（半導体基板と第1導電体層で挟まれて領域の平均距離）を d とした場合、 C_{MIS} と C_{MIM} からなる合成静電容量の C_{MIS} に対する変化は、

$$(C_{MIM} + C_{MIS}) / C_{MIS} = (2 \times h \times d / L \times t) + 1$$

となる。

ここで一例として、ゲート長（ L ）を $0.1 \mu m$ 、ゲート幅（ W ）を $0.1 \mu m$ 、第2絶縁体薄膜の膜厚（ t ）を $3 nm$ 、第1絶縁体層の酸化膜膜厚（ d ）を $3 nm$ と仮定した場合、第1導電体層の底面から第3及び第4導電体の上面との距離 114 （ h ）と $(C_{MIN} + C_{MIS}) / C_{MIS}$ の関係を図13に示す。

図13から第1導電体層の底面から第3及び第4導電体の上面との距離 114 （ h ）が長くなれば、 C_{MIS} と C_{MIM} からなる合成静電容量の C_{MIS} に対する変化は大きくなる。

従って、このMIS構造とMIM構造からなるキャパシタの合計面積は、第1導電体層と第3及び第4導電体の高さを制御することによって変えることができる。

【0063】

また、ゲート長（ L ）を $0.1 \mu m$ 、ゲート幅（ W ）を $0.1 \mu m$ 、図2（i）の第1導電体層の底面から第3及び第4導電体の上面との距離 114 を $0.2 \mu m$ 、第1絶縁体層の酸化膜膜厚（ d ）を $3 nm$ と仮定した場合、第2絶縁体薄膜の膜厚 t と $(C_{MIN} + C_{MIS}) / C_{MIS}$ の関係を図14に示す。

図14から第2絶縁体薄膜の膜厚（ t ）が、ゲート長より薄くなれば、 C_{MIS} と C_{MIM} からなる合成静電容量の C_{MIS} に対する変化は大きくなる。更に、MIMからなる専有面積が減少し、セル面積の増加を抑制する。

従って、第2絶縁体薄膜の膜厚は、耐圧及びリーク電流が許す限り、薄い方が好ましい、

【0064】

第2の実施の形態

次に、図3を参照して、第2の実施の形態の半導体不揮発性記憶素子を説明する。この第2の実施の形態は、基本的にはMOS構造を形成する場合に近いプロセス

工程で形成できる。図 1 に示す第 1 の実施の形態と異なる主な点は、第 2 絶縁体薄膜 3 0 が第 1 絶縁体層 (I) 3 とは別途に形成される点である。従って、第 2 絶縁体薄膜 3 0 は LDD (lightly doped drain) 構造を形成できるように、イオン注入の際のサイドスペーサーの機能を有する。図 3 に示す第 2 の実施の形態の他の構成は図 1 に示す第 1 の実施の形態と同様であるので、図 1 と対応する部分に同じ符号を付して説明を省略する。

【 0 0 6 5 】

次に、図 4 (a) 乃至図 4 (h) を参照して、図 3 に示す第 2 の実施の形態による半導体不揮発性記憶素子の製造方法を説明する。図 4 (a) ~ (h) は製造方法の工程を示す断面図である。

【 0 0 6 6 】

まず、シリコン半導体基板 1 (n-チャンネル・トランジスタの場合は p 型基板) を用意し、基板 1 上にゲート絶縁膜 4 0 (第 1 絶縁体層 3 となる) を熱酸化法で 10nm 厚成長させた。そして、リンをドーブしたポリシリコン (Poly-Si) を減圧 CVD 法で堆積し (第 1 導電体層 4 となる)、次にスパッター法で強誘電体の拡散を阻止する IrO_2 のバリア層 4 1 を堆積する。次に窒化シリコン層 4 2 (SiN) (ハードマスク層となる) を堆積させる。そして、半導体基板のチャンネル領域 2 上に通常のリソグラフィ技術とドライエッチング技術でゲート部の基礎となる $\text{SiN}/\text{IrO}_2/\text{Poly-Si}$ を加工する (図 4 (a))。

【 0 0 6 7 】

次に、ソース領域 7、ドレイン領域 8 を形成するために半導体基板 1 にリンをイオン注入し、熱処理で不純物を活性化させた。次に、常圧 CVD 法で酸化膜をコンフォーマルに堆積させ、ドライエッチングで堆積させた酸化膜をエッチングすると、ゲート部の側壁にのみ第 2 絶縁体薄膜 3 0 となる酸化膜が残る (図 3 (b))。

【 0 0 6 8 】

次に、リンをドーブしたポリシリコン (Poly-Si) 層 4 3 (後で、第 3 及び第 4 導電体 9、10 となる) を減圧 CVD 法で、窒化シリコン層 4 2 上まで堆積した (図 4 (c))。

【 0 0 6 9 】

次に、化学機械研磨（CMP）平坦化法でドーブしたポリシリコン層 4 3 を平坦化して、窒化シリコン層 4 2 を露呈させた（図 4（d））。

【 0 0 7 0 】

次に、熱酸化をしてポリシリコン層 4 3 の上部を酸化して、ポリシリコン層 4 3 の側壁上の第 2 絶縁体薄膜 3 0 と接続する二酸化シリコンの酸化層 4 4 を形成した。この時、窒化シリコン（SiN）層 4 2 上は酸化されない。次に、窒化シリコン（SiN）層 4 2 を磷酸ボイルで除去した（図 4（e））。酸化されていないポリシリコン層 4 3 から形成される第 3 及び第 4 導電体 9、10 の上部は、窒化シリコン層 4 2 を除去した後のバリア層 4 1 の上部とほぼ同一面にあるか、又は、より半導体基板 1 に近く位置するようにする。

【 0 0 7 1 】

次に、S B T 強誘電体層 4 5 をスピコート法によって 300nm 厚形成した。この時、強誘電体層 4 5 は、窒化シリコン層 4 2 が除去された部分にも埋め込まれるが、その埋め込まれた強誘電体層 4 5 はバリア層 4 1 上に堆積して第 3 及び第 4 導電体 9、10 よりも実質的に半導体基板の上方にあるようにする。次に、第 2 導電体層となる白金（Pt）層 4 6 をスパッター法で 200nm 厚堆積した（図 4（f））。

【 0 0 7 2 】

次に、通常のリソグラフィ技術とドライエッチング技術で白金（Pt）層 4 6 と S B T 強誘電体層 4 5 を順次にエッチングして、ゲート部の上方を構成する強誘電体層 5 と第 2 導電体層 6 を形成する（図 4（g））。

【 0 0 7 3 】

次に、層間絶縁膜 4 7 として 2 酸化シリコンをプラズマ CVD により形成した後、第 2 導電体（Pt）層と、ソース領域 7 上とドレイン領域 8 上の第 3 導電体 9 と第 4 導電体 10 に達するコンタクトホールを開けて、アルミニウム電極 4 8 を形成して加工して完成する（図 4（h））。

【 0 0 7 4 】

この製造方法によれば、工程（b）において、ゲートの基部をマスクとして第

2 絶縁体薄膜 3 0 をサイドスペーサーとして、ソース領域 7 とドレイン領域 8 にイオン注入をすれば、LDD (lightly doped drain) 構造を形成できる。

【 0 0 7 5 】

第 3 の実施の形態

次に、図 5 を参照して第 3 の実施の形態による半導体不揮発性記憶素子の構成を説明する。この実施の形態の構成は、第 1 導電体層 5 0 の側壁の表面に微小な凹凸を形成して表面積を増加させている。具体的には、第 1 導電体層 5 0 とするポリシリコン (Poly-Si) ゲート側壁の表面の粗面化 (Hemispherical Silicon Grain : HSG、半球状表面) 処理を行ない、元の表面積に比べて約 2 倍に増加する。この第 1 導電体層 5 0 のポリシリコンの側壁には酸化シリコンの第 2 絶縁体薄膜 5 1 が設けられる。図 5 はこの実施の形態の要部の断面を示すが、その他の部分は第 1 の実施の形態と同じであるので、図 1 に示す第 1 の実施の形態と同様な部分は、対応する符号を付して説明を省略する。

【 0 0 7 6 】

次に、図 6 (a) 乃至図 6 (j) は図 5 に示す第 3 の実施の形態の半導体不揮発性記憶素子の製造方法を説明する。図 6 (a) ~ 図 6 (j) に示す図はその工程の断面図である。

【 0 0 7 7 】

まず、シリコン半導体基板 1 (n-チャンネル・トランジスタの場合は p 型基板) を用意し、半導体基板 1 上に第 1 絶縁体層 3 となるゲート絶縁膜 6 0 として熱酸化膜 (SiO_2) を 10nm 厚成長させた。次に、第 1 導電体層 5 0 となるアモルファス・シリコン ($\alpha\text{-Si}$) を減圧 CVD で堆積させた後に、減圧 CVD 法でハード・マスク層となる窒化シリコン (SiN) 層 6 1 を 200nm 厚堆積させた。次に通常のリソグラフィ技術とドライエッチング技術で、半導体基板 1 のチャンネル領域 2 の上にゲート部の基部となる積層体 ($\text{SiN}/\alpha\text{-Si}$) を形成するために窒化シリコン層 6 1 とアモルファス・シリコン層 5 0 を食刻加工する。次に、ソース領域 7、ドレイン領域 8 を形成するためにリンをイオン注入し、熱処理で不純物を活性化させた (図 6 (a))。

【 0 0 7 8 】

次に、第1導電体層50となるアモルファス・シリコン・ゲート側壁の表面の粗面化処理を行なうために、真空中で640℃の熱処理をしてゲート側壁の表面に凹凸を形成する。この方法により元の表面積に比べて約2倍に増加できる。次に、ゲート側壁に第2絶縁体薄膜51として熱酸化膜を形成した(図6(b))。

【0079】

次に、通常のリソグラフィ技術とドライエッチング技術でソース領域7、ドレイン領域8上のゲート酸化膜60を除去して、チャンネル2上に第1絶縁体層3を形成する(図6(c))。

【0080】

次に、リンをドーピングしたポリシリコン(Poly-Si)層62(後で、第3及び第4導電体9、10となる)を減圧CVD法で、窒化シリコン層61上まで堆積した(図6(d))。

【0081】

次に、化学機械研磨(CMP)平坦化法でポリシリコン層62を、窒化シリコン61層まで平坦化した(図6(e))。

【0082】

次に、熱酸化をしてポリシリコン層62の上部を酸化層63を形成した。酸化層63は第1導電体層50の側壁の第2絶縁体薄膜51と一体的に接続する。この時、窒化シリコン(SiN)層61は酸化されない(図6(f))。

【0083】

次に、窒化シリコン(SiN)層61を磷酸ボイルで除去した(図6(g))。

【0084】

次に、窒化シリコン層61の跡の凹部を埋め込んで酸化層63上に、強誘電体の拡散を阻止するバリア(IrO_2)層64をスパッター法で200nm厚堆積した。次に、SBT強誘電体層65をスピコート法によって300nm厚形成した。次に、第2導電体層となる白金(Pt)層66をスパッター法で200nm厚堆積した(図6(h))。

【0085】

次に、通常のリソグラフィ技術とドライエッチング技術で白金(Pt)層66と

S B T 強誘電体層 6 5 とバリア (IrO_2) 層 6 4 とを順次にエッチングして、ゲート部を構成する第 2 導電体層 6 と強誘電体層 5 とバリア層 6 4 とを形成する (図 6 (i))。

【0086】

次に、層間絶縁膜 6 7 として酸化シリコンをプラズマ CVD により形成した後に、第 2 導電体層 6 と、ソース領域 7 上とドレイン領域 8 上の第 3 導電体 9 と第 4 導電体 1 0 に達するコンタクトホールを開けて、アルミニウム電極 6 8 を形成して加工して完成した (図 6 (j))。

【0087】

第 4 の実施の形態

次に、図 7 を参照して第 4 の実施の形態による半導体不揮発性記憶素子の構造を説明する。この実施の形態は、第 3 及び第 4 導電体 7 0、7 1 の対向する側壁を含む表面に微小な凹凸を形成して表面積を増加させる構成である。このような構成を有することにより、第 3 の実施の形態と同じく、MIM 構造のキャパシタの容量を増加することができる。第 3 及び第 4 導電体 7 0、7 1 の対向する側壁には第 2 絶縁体薄膜 7 2 が設けられている。また、第 3 及び第 4 導電体 7 0、7 1 の上部にも同じく絶縁層が形成されている。第 3 及び第 4 導電体 7 0、7 1 の対向する側壁間の凹部及びその周囲の上部には第 1 導電体層 7 3 が埋め込まれ且つ堆積されている。その他の図 1 において説明した第 1 実施の形態と同様の部分には対応する符号を付して説明を省略する。

【0088】

次に、図 8 (a) 乃至図 8 (h) を参照して、第 4 の実施の形態の半導体不揮発性記憶素子の製造方法を説明する。図 8 (a) ~ (h) に示す図はその工程の断面図である。

【0089】

まず、シリコン半導体基板 1 (n-チャンネル・トランジスタの場合は p 型基板) を用意する。半導体基板 1 上に熱酸化膜 8 0 を 10nm 厚成長させた。減圧 CVD 法で窒化シリコン (SiN) 膜 8 1 を堆積させた。次に通常のリソグラフィ技術とドライエッチング技術で窒化シリコン (SiN) 膜 8 1 の内、チャンネル領域 2 以外

を除去する。次にソース領域 7、ドレイン領域 8 を形成するためにリンをイオン注入し、熱処理で不純物を活性化させた。次に、チャンネル領域 2 以外のソース領域 7、ドレイン領域 8 上の酸化膜 8 0 をふっ酸 (HF) 溶液で除去した (図 8 (a))。

【0090】

次に、ドーパされたアモルファス・シリコン (α -Si) 層 8 2 を減圧CVDで、窒化シリコン膜 8 1 よりも厚く堆積させた後に、化学機械研磨 (CMP) 平坦化法でアモルファス・シリコン層 8 2 を窒化シリコン膜 8 1 まで平坦化した (図 8 (b))。

【0091】

次に、窒化シリコン (SiN) 膜 8 1 を磷酸ボイルで除去して、アモルファス・シリコン層 8 2 の対向する側壁を有する凹部を形成した (図 8 (c))。

【0092】

次に、アモルファス・シリコン層 8 2 の対向する側壁の表面の粗面化処理を行なうために、真空中で 640℃ の熱処理をして側壁の表面に凹凸を形成する。この方法により元の表面積に比べて約 2 倍に増加できる。次に半導体基板 1 上の酸化膜 8 0 をふっ酸 (HF) 系で除去して、半導体基板 1 のチャンネル部を露出した (図 8 (d))。

【0093】

次に、半導体基板 1 上に第 1 絶縁体層 3 と、アモルファス・シリコンにより形成された第 3 及び第 4 導電体 7 0、7 1 の対向する側壁の凹凸上に第 2 絶縁体薄膜 7 2 と、第 3 及び第 4 導電体 7 0、7 1 の上面の凹凸上に酸化膜 8 3 とを熱酸化法で膜厚 10nm 厚形成した (図 8 (e))。

【0094】

次に、第 1 導電体層 7 3 となるリンをドーパしたポリシリコン (Poly-Si) 層 8 4 を減圧CVD法で、第 3 及び第 4 導電体 7 0、7 1 の対向する側面間の凹部に埋め込み且つ第 3 及び第 4 導電体 7 0、7 1 上に堆積した。次に、強誘電体の拡散を阻止するバリア (IrO_2) 層 8 5 をスパッター法で 200nm 厚堆積した。次に、S B T 強誘電体層 8 6 をスピコート法によって 300nm 厚堆積した。次に、第 2

導電体層となる白金 (Pt) 層 8 7 をスパッター法で 200nm 厚堆積した (図 8 (f))。

【0095】

次に、通常のリソグラフィ技術とドライエッチング技術で白金 (Pt) 層 8 7 と SBT 強誘電体層 8 6 とバリア (IrO_2) 層 8 5 とポリシリコン層 8 4 を順次にエッチングして、第 2 導電体層 6 と強誘電体層 5 とバリア層 8 5 と第 1 導電体層 7 3 とを形成する (図 8 (g))。

【0096】

次に、層間絶縁膜 8 8 として酸化シリコンをプラズマ CVD により堆積した後に、第 2 導電体層 6 と、ソース領域 7 上とドレイン領域 8 上の第 3 導電体 7 0 と第 4 導電体 7 1 に達するコンタクトホールを開けて、アルミニウム電極 8 9 を形成して加工して完成した (図 8 (h))。

【0097】

なお、上述した製造方法の実施の形態では、強誘電体層の形成プロセスとしてスピコート法を述べたがこれ以外に、真空蒸着、レーザーアブレーション法、MOCVD (Metal Organic Chemical Vapor Deposition: 有機金属化学気相成長)、LSMCD (Liquid Source Mist Chemical Deposition: 化学成長) またはスパッター法でも同様に可能である。

【0098】

第 5 の実施の形態

上述した第 1 ないし第 4 の実施の形態ではシリコン (Si) 半導体基板を用いたが、SOI (Silicon On Insulator) 基板でも同様に出来る。その実施の形態を図 9 に示す。図 9 に示す第 5 の実施の形態では、SOI 基板 9 0 を半導体基板の代りに用いており、この基板 9 0 は、シリコン (Si) 基板 9 1 上に、埋め込み酸化膜 9 2 が設けられていて、絶縁基板を形成している。そして埋め込み酸化膜 9 2 上に、シリコン (Si) 半導体によるチャンネル領域 9 3 と、ソース領域 9 4 と、ドレイン領域 9 5 が形成されている。その他の構成は図 1 において説明した第 1 の実施の形態と同様であるので、対応する部分に同じ符号を付して説明を省略する。

【 0 0 9 9 】

第 6 の実施の形態

上述した第 1 実施の形態（図 1）、第 2 の実施の形態（図 3）、第 3 の実施の形態（図 5）、第 4 の実施の形態（図 7）、および第 5 の実施の形態（図 9）においても、図 1 0 に示す第 6 の実施の形態の様に、強誘電体層 5 上の第 2 導電体層 1 0 0 の面積を強誘電体層 5 の面積よりも小さくなるように形成して、MFM 構造の実効面積を小さくし、相対的に下部の MIS 構造の実効面積を大きくすることもできる。よって従来に比べてメモリセル面積を増大させることなく、MFM 構造のキャパシタの静電容量 C_F と MIS 構造のキャパシタと MIM 構造のキャパシタの合成静電容量 C_I のカップリング比 $(C_I / (C_I + C_F))$ を大きくすることができる。

【 0 1 0 0 】

第 7 の実施の形態

以上の実施の形態で説明した、上部電極へのコンタクトの第 2 導電体層 6、1 0 0 は必ずしもゲート領域 1 1 0（図 1 1（a）又は図 1 1（b）に示す）上でなくとも良く、素子分離領域 1 1 1 上でも問題が無い。その例を第 7 の実施の形態として図 1 1（c）の第 2 導電体層 1 1 2 に示す。このように素子分離領域 1 1 1 上に第 2 導電体層 1 1 2 を形成すれば、配線の自由度が増す。

【 0 1 0 1 】

第 8 の実施の形態

以上述べた第 1 乃至第 7 の実施の形態では図 1 から図 1 0 に示すように第 3、第 4 導電体の上面が第 1 導電体層の上面と同一高さに位置するか、下に位置していたが、図 1 5 の（a）、（b）及び（c）に示すように第 3、第 4 導電体の上面が第 1 導電体の上面より上に位置していてもよい。

【 0 1 0 2 】

なお、上述した実施の形態は本発明の例示的説明にすぎず、当業者にはさまざまな修正や変形が自明である。例えば、上記の実施の形態で述べた第 1 絶縁体層と第 2 絶縁体薄膜の絶縁膜は酸化シリコン（ SiO_2 ）以外に、 SiN （窒化シリコン膜）、 SiON （酸窒化シリコン膜）、 $\text{SiO}_2\text{—SiN}$ （ON 膜：Oxide—Nitride）、 SiO_2

-SiN-SiO₂ (ONO膜: Oxide-Nitride-Oxide)、Ta₂O₅膜、SrTiO₃膜、TiO₂膜、(Ba,Sr)TiO₃膜、Al₂O₃、ZrO₂、HfO₂、Y₂O₃、CeO₂、CeZrO₂、YSZ (酸化イットリウム安定化酸化ジルコニウム) からなるグループから選んだ一つの材料の層としても同様に可能である。また複数の層を積層してもよい。

【0103】

さらに、上記の実施の形態で述べた強誘電体層はS B T以外に、PbTiO₃、PbZr_xTi_{1-x}O₃、Pb_yLa_{1-y}Zr_xTi_{1-x}O₃、Bi₄Ti₃O₁₂、SrNbO₇、Pb₅Ge₃O₁₁ およびSr₂Ta_xNb_{1-x}O₇からなるグループの中から選ばれた一つの材料の層でも同様に可能である。

【0104】

【発明の効果】

本発明の構成によれば、電界効果型トランジスタを含む強誘電体不揮発性記憶素子において、半導体基板のソース部とドレイン部の第3及び第4導電体が、ゲート部の第1導電体層との間に第2絶縁体薄膜を介在させている。この構成により、第3及び第4導電体の側壁と第2絶縁体薄膜と第1導電体層からMIM構造を形成し、よって、MIS構造と並列に接続したバッファ層の全キャパシタC_Iの面積をMFMキャパシタ面積より大きくすることができる。従って、従来に比べてメモリセル面積を増大させることなく、MFMキャパシタの静電容量C_FとMISキャパシタとMIMキャパシタの合成静電容量C_Iのカップリング比(C_I/(C_I+C_F))を大きくすることができ、効率よく強誘電体キャパシタに電圧を印加することが出来る。さらにメモリセル面積を縮小し高密度に集積化できる。

【0105】

さらに、強誘電体薄膜を加工する前にソース、ドレイン領域およびゲートの側壁が剥き出しにならないので、強誘電体からのシリコンへの汚染を防ぐことができる。その結果、信頼性の高い半導体不揮発性記憶素子を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による半導体不揮発性記憶素子の構成を示す断面図

【図 2 (a) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (b) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (c) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (d) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (e) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (f) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (g) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (h) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (i) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 2 (j) 】

図 1 に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の構造の変形を示す断面図。

【図 3】

本発明の第 2 の実施の形態による半導体不揮発性記憶素子の構成を示す断面図。

【図 4 (a)】

図 3 に示す本発明の第 2 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 4 (b)】

図 3 に示す本発明の第 2 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 4 (c)】

図 3 に示す本発明の第 2 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 4 (d)】

図 3 に示す本発明の第 2 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 4 (e)】

図 3 に示す本発明の第 2 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 4 (f)】

図 3 に示す本発明の第 2 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 4 (g)】

図 3 に示す本発明の第 2 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 4 (h)】

図 3 に示す本発明の第 2 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 5】

本発明の第 3 の実施の形態による半導体不揮発性記憶素子の構成を示す断面図

【図 6 (a)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 6 (b)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 6 (c)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 6 (d)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 6 (e)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 6 (f)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 6 (g)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 6 (h)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 6 (i)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の

工程を示す断面図。

【図 6 (j)】

図 5 に示す本発明の第 3 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 7】

本発明の第 4 の実施の形態による半導体不揮発性記憶素子の構成を示す断面図

【図 8 (a)】

図 7 に示す本発明の第 4 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 8 (b)】

図 7 に示す本発明の第 4 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 8 (c)】

図 7 に示す本発明の第 4 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 8 (d)】

図 7 に示す本発明の第 4 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 8 (e)】

図 7 に示す本発明の第 4 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 8 (f)】

図 7 に示す本発明の第 4 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 8 (g)】

図 7 に示す本発明の第 4 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 8 (h)】

図 7 に示す本発明の第 4 の実施の形態の半導体不揮発性記憶素子の製造方法の工程を示す断面図。

【図 9】

本発明の第 5 の実施の形態による半導体不揮発性記憶素子の構成を示す断面図。

【図 1 0】

本発明の第 6 の実施の形態による半導体不揮発性記憶素子の構成を示す断面図。

【図 1 1 (a)】

本発明の第 7 の実施の形態による半導体不揮発性記憶素子の第 2 導電体層の配置の実施の形態をそれぞれ示す平面図。

【図 1 1 (b)】

本発明の第 7 の実施の形態による半導体不揮発性記憶素子の第 2 導電体層の配置の実施の形態をそれぞれ示す平面図。

【図 1 1 (c)】

本発明の第 7 の実施の形態による半導体不揮発性記憶素子の第 2 導電体層の配置の実施の形態をそれぞれ示す平面図。

【図 1 2 (a)】

従来技術による MFMIS 構造を持つ半導体不揮発性記憶素子の断面図。

【図 1 2 (b)】

MFMIS 構造を持つ半導体不揮発性記憶素子の等価回路図。

【図 1 2 (c)】

従来技術による MFMIS 構造を持つ半導体不揮発性記憶素子の断面図。

【図 1 2 (d)】

従来技術による MFMIS 構造を持つ半導体不揮発性記憶素子の上面から見た平面図。

【図 1 3】

図 2 (i) に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の $(C_{MIN} + C_{MIS}) / C_{MIS}$ と第 1 導電体層の底面から第 3 及び第 4 導電体の上面との

距離 1 1 4 (h) との関係を示す特性図。

【図 1 4】

図 2 (i) に示す本発明の第 1 の実施の形態の半導体不揮発性記憶素子の ($C_{MIN} + C_{MIS}$) / C_{MIS} と第 2 絶縁体薄膜の膜厚 (t) との関係を示す特性図。

【図 1 5 (a)】

本発明の第 8 の実施の形態による半導体不揮発性記憶素子の構成を示す断面図

【図 1 5 (b)】

本発明の第 8 の実施の形態による半導体不揮発性記憶素子の構成を示す断面図

【図 1 5 (c)】

本発明の第 8 の実施の形態による半導体不揮発性記憶素子の構成を示す断面図

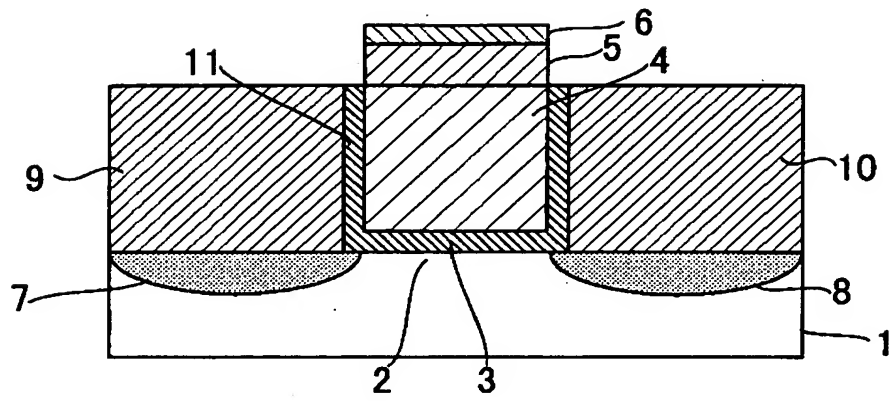
【符号の説明】

- 1 半導体基板
- 2 チャンネル領域
- 3 第 1 絶縁体層
- 4 第 1 導電体層
- 5 強誘電体層
- 6 第 2 導電体層
- 7 ソース領域
- 8 ドレイン領域
- 9 第 3 導電体
- 1 0 第 4 導電体
- 1 1 第 2 絶縁体薄膜

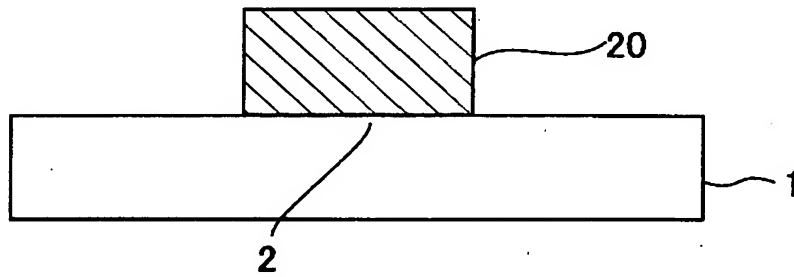
【書類名】

図面

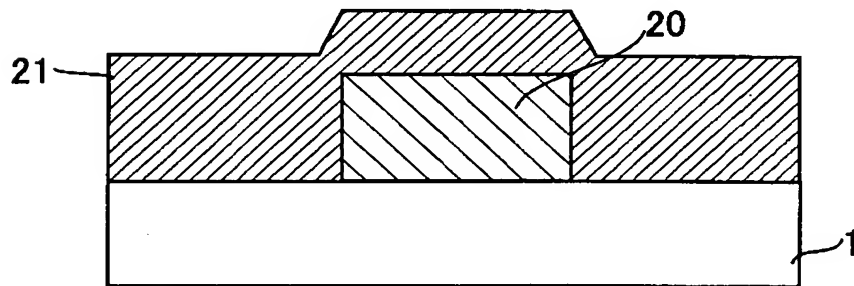
【図 1】



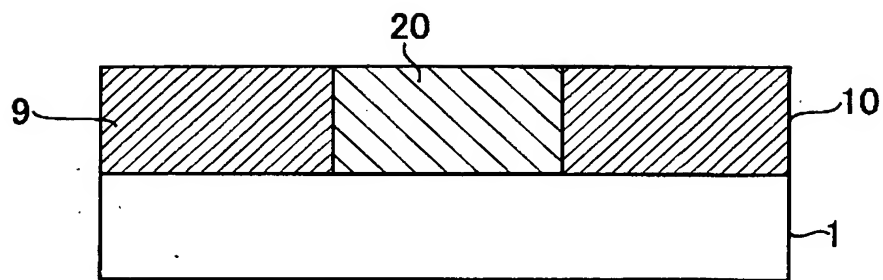
【図 2 (a)】



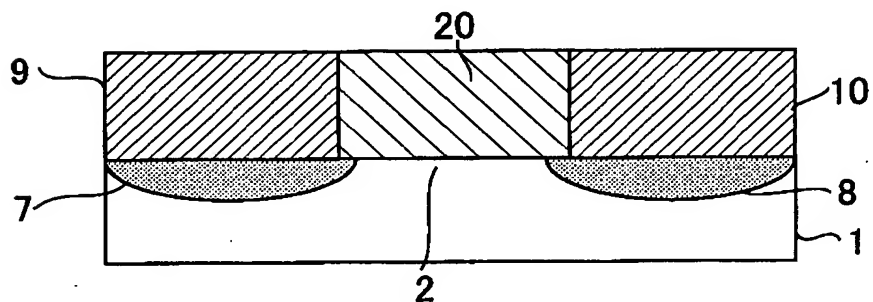
【図 2 (b)】



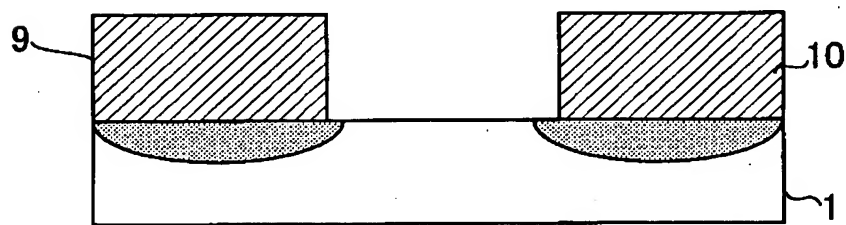
【図 2 (c)】



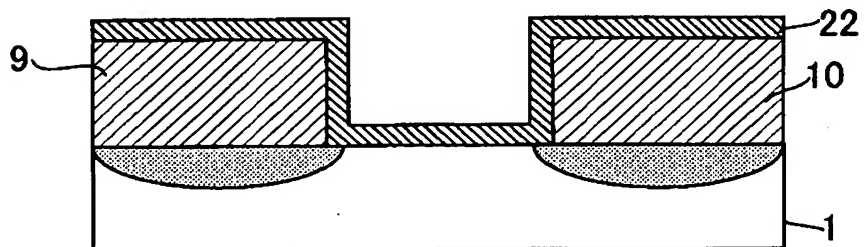
【図 2 (d)】



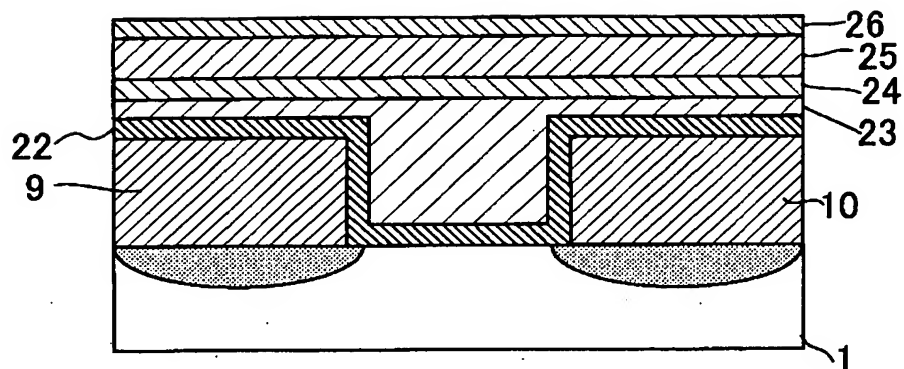
【図 2 (e)】



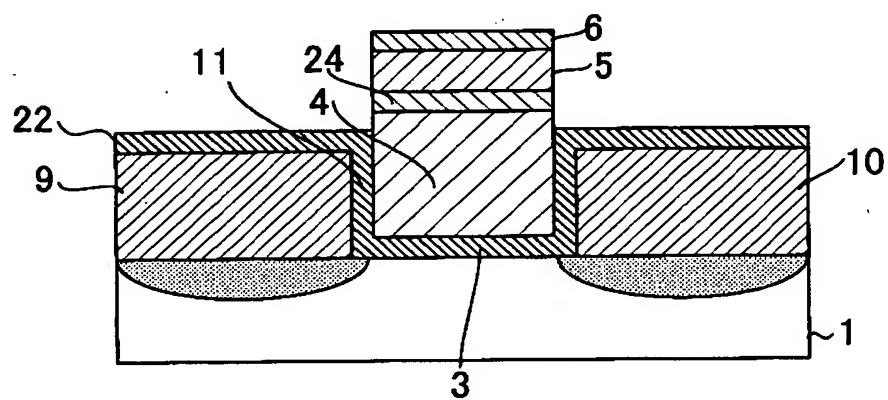
【図 2 (f)】



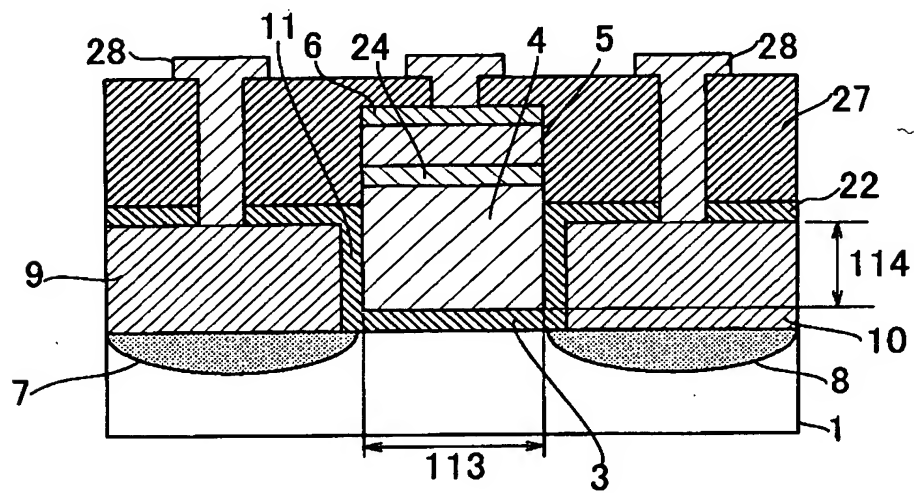
【図 2 (g)】



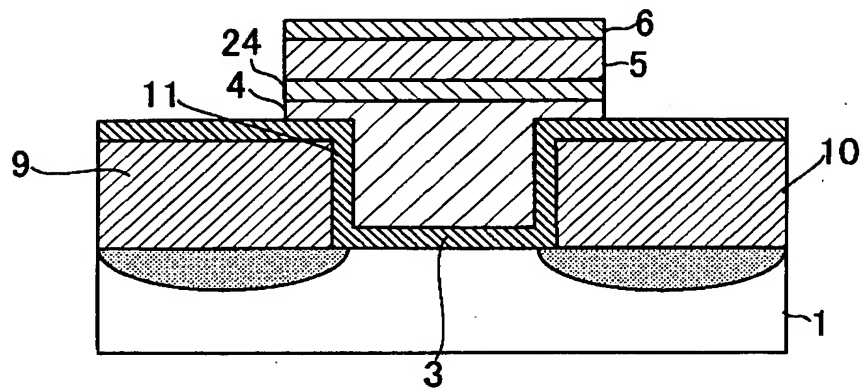
【図 2 (h)】



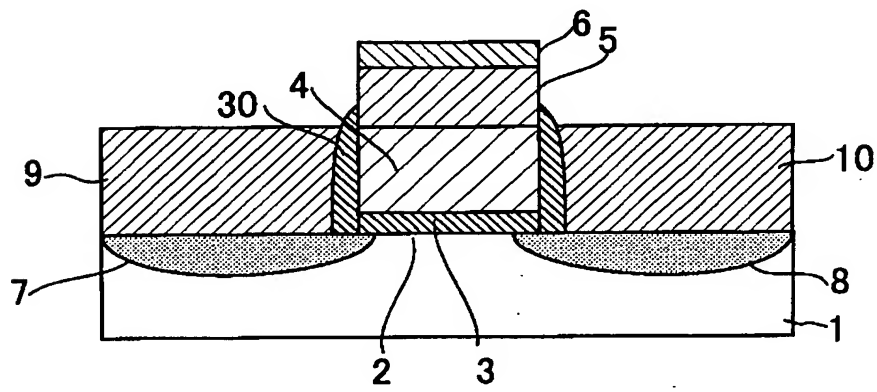
【図 2 (i)】



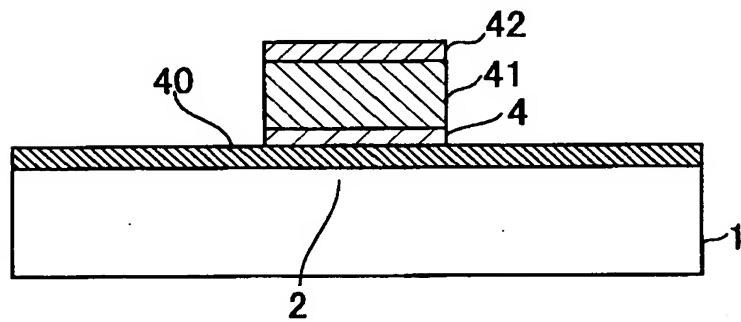
【図 2 (j)】



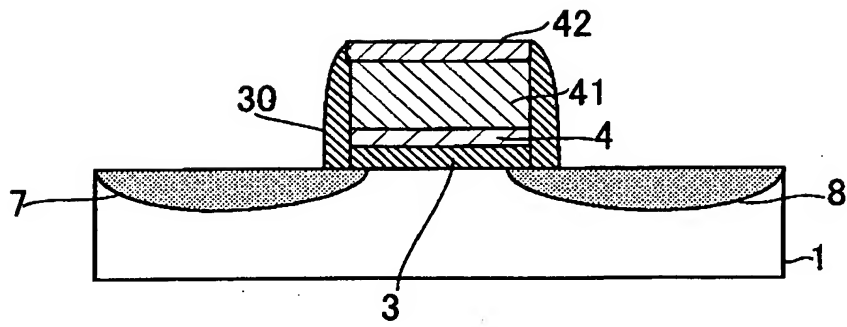
【図 3】



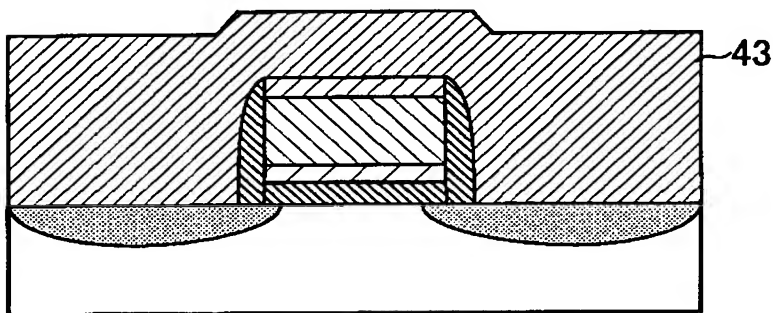
【図 4 (a)】



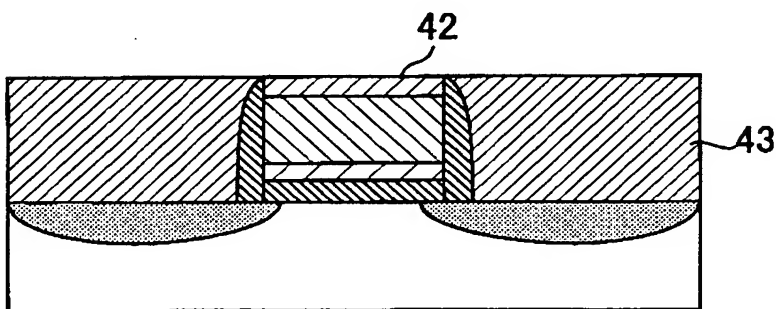
【図 4 (b)】



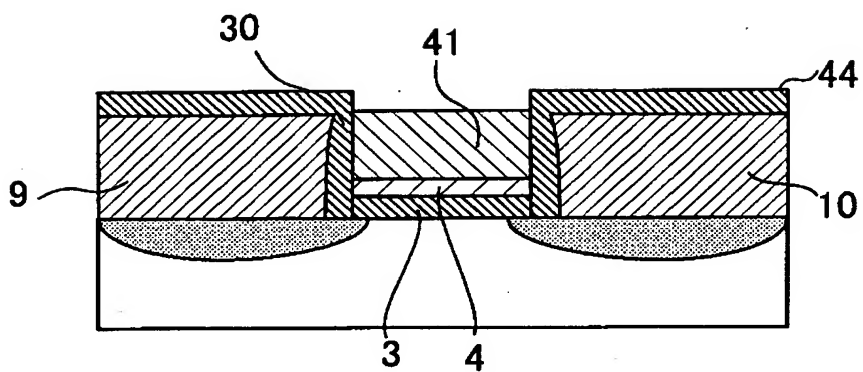
【図 4 (c)】



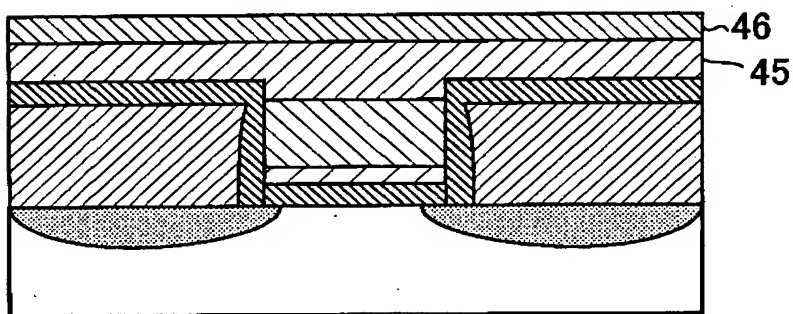
【図 4 (d)】



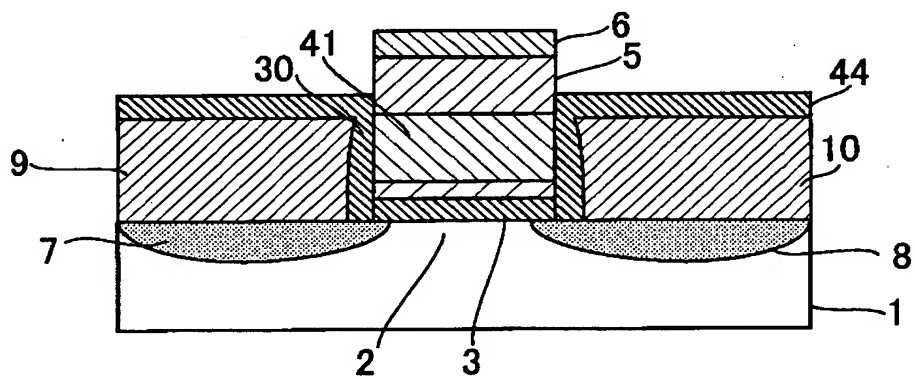
【図4 (e)】



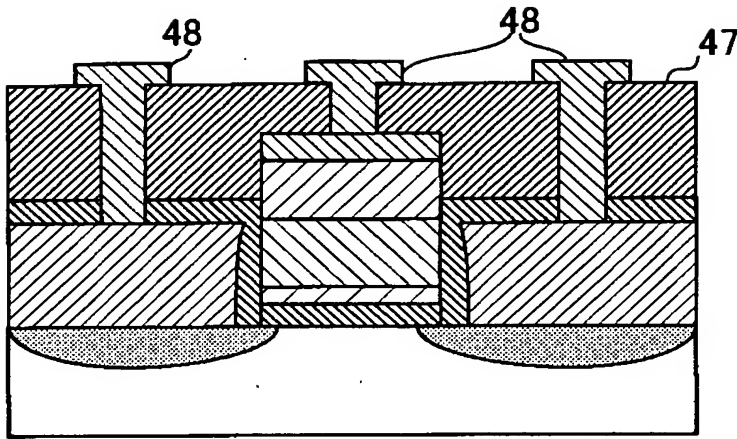
【図4 (f)】



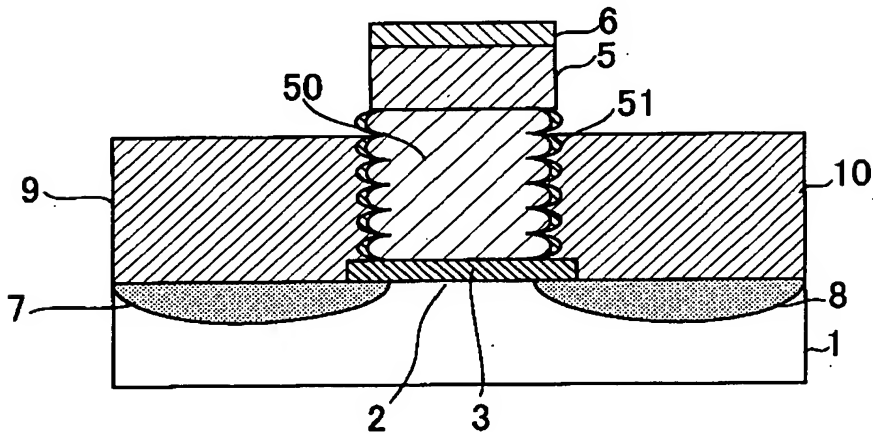
【図4 (g)】



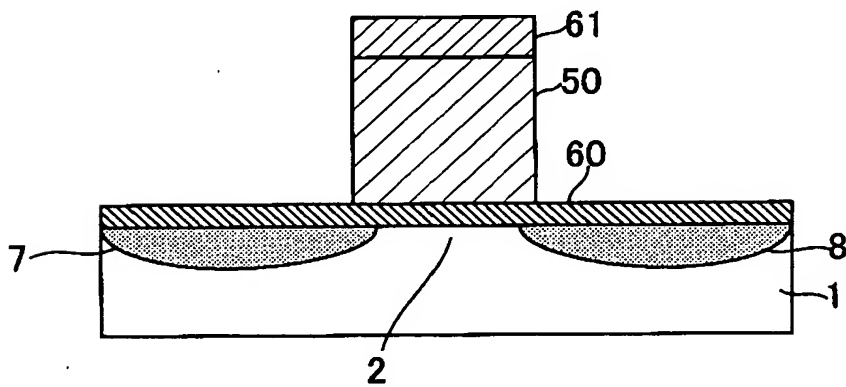
【図 4 (h)】



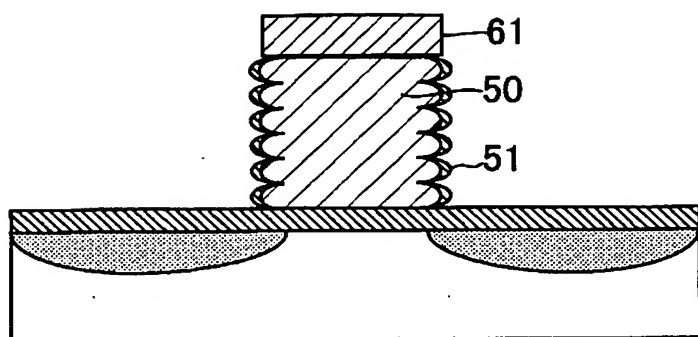
【図 5】



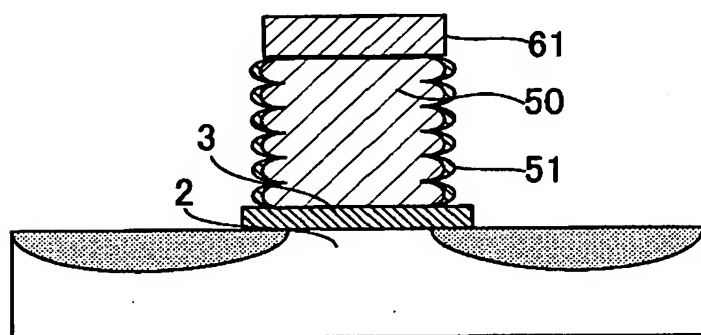
【図 6 (a)】



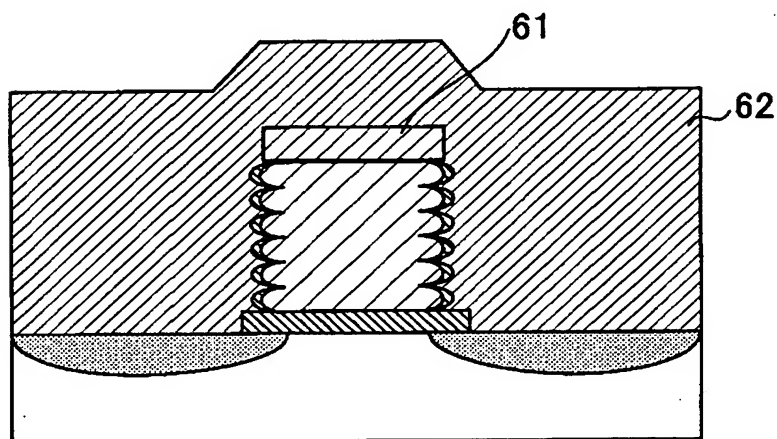
【図 6 (b)】



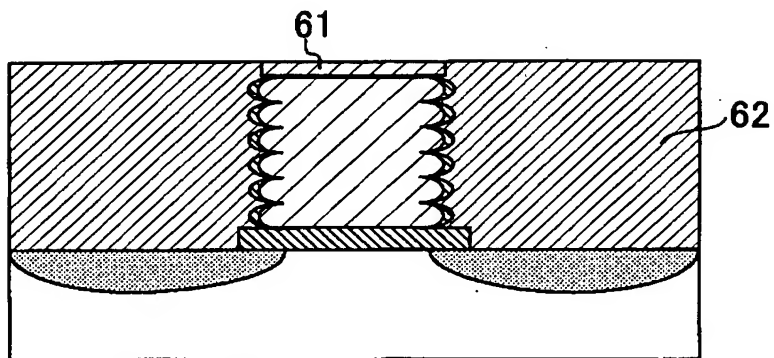
【図 6 (c)】



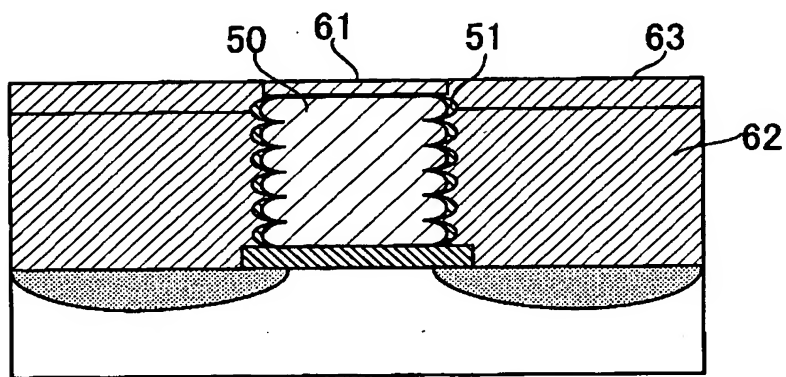
【図 6 (d)】



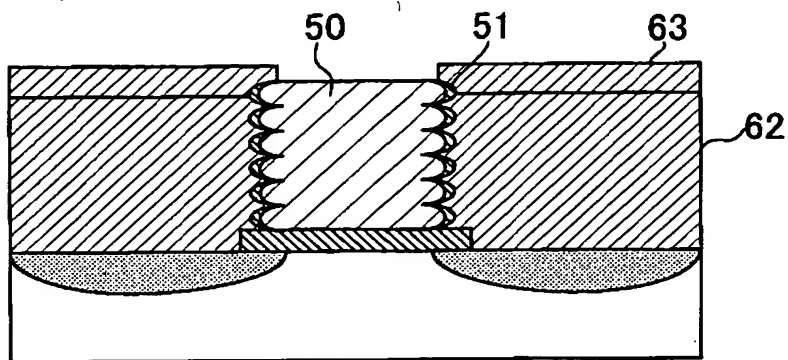
【図 6 (e)】



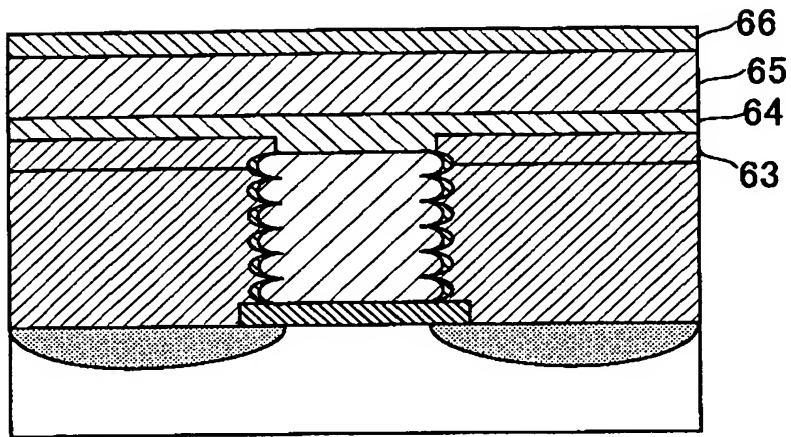
【図 6 (f)】



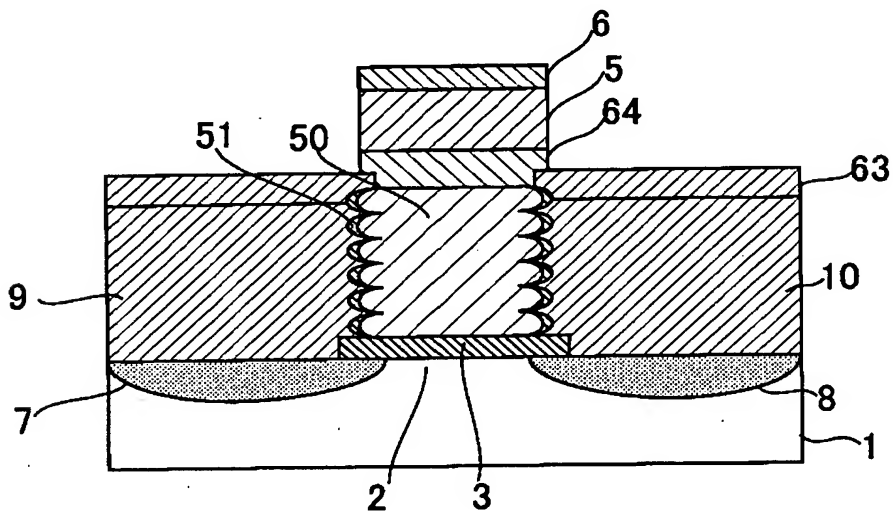
【図 6 (g)】



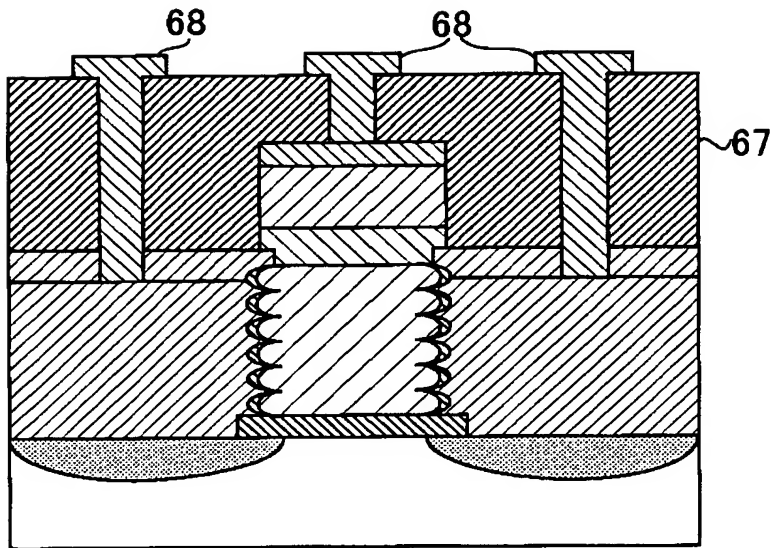
【図 6 (h)】



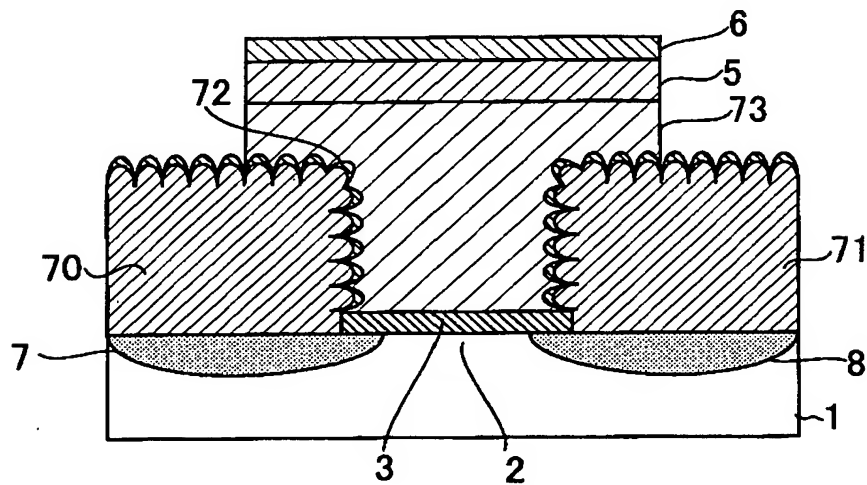
【図 6 (i)】



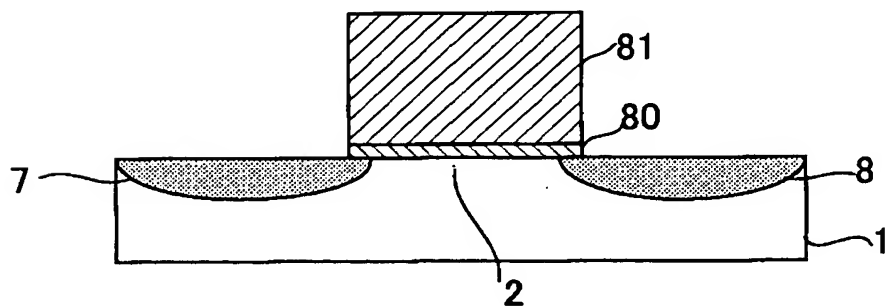
【図 6 (j)】



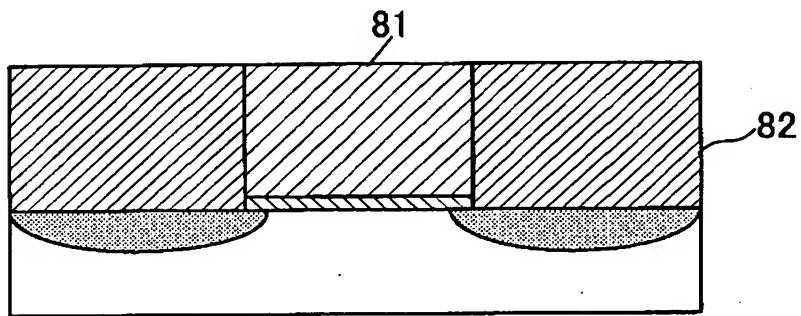
【図 7】



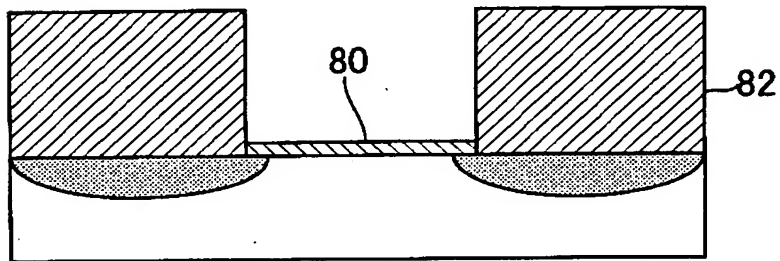
【図 8 (a)】



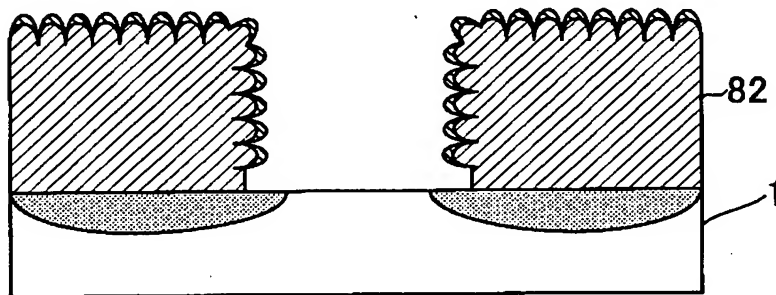
【図 8 (b)】



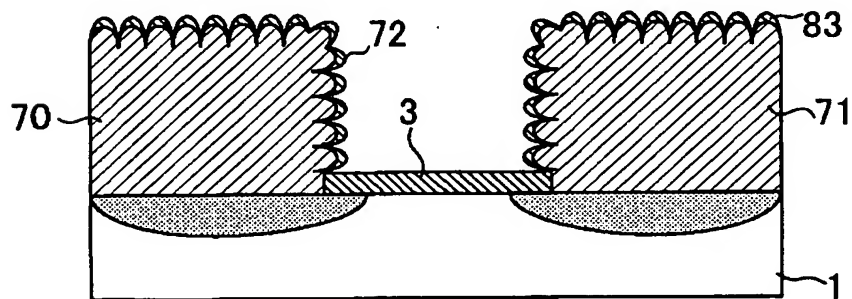
【図 8 (c)】



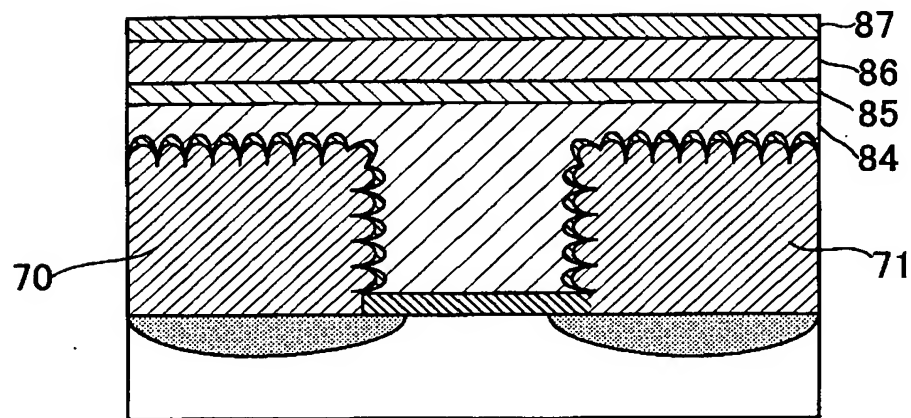
【図 8 (d)】



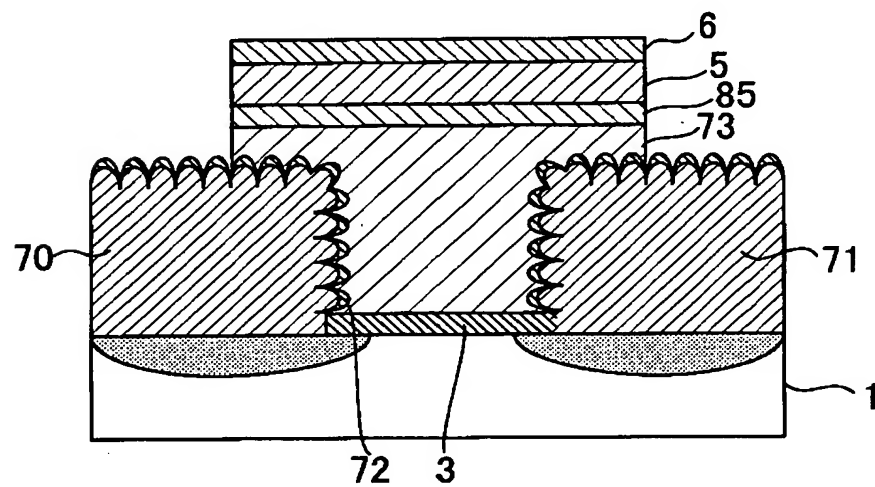
【図 8 (e)】



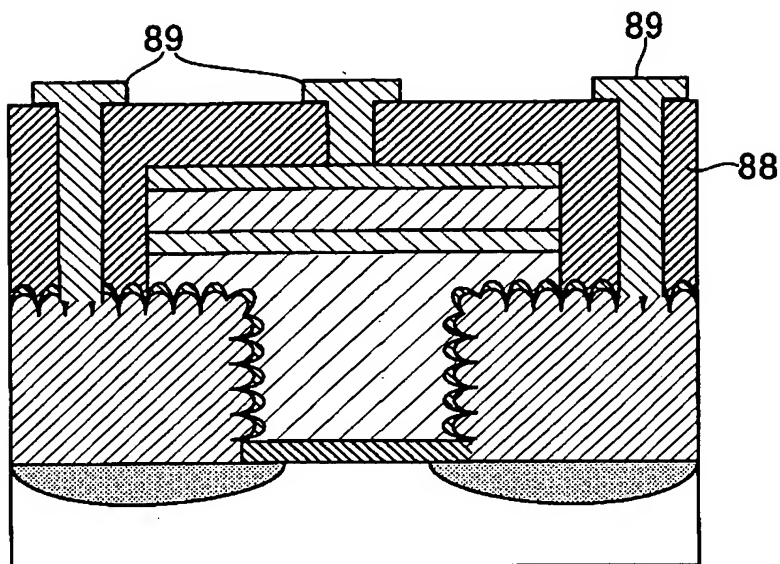
【図 8 (f)】



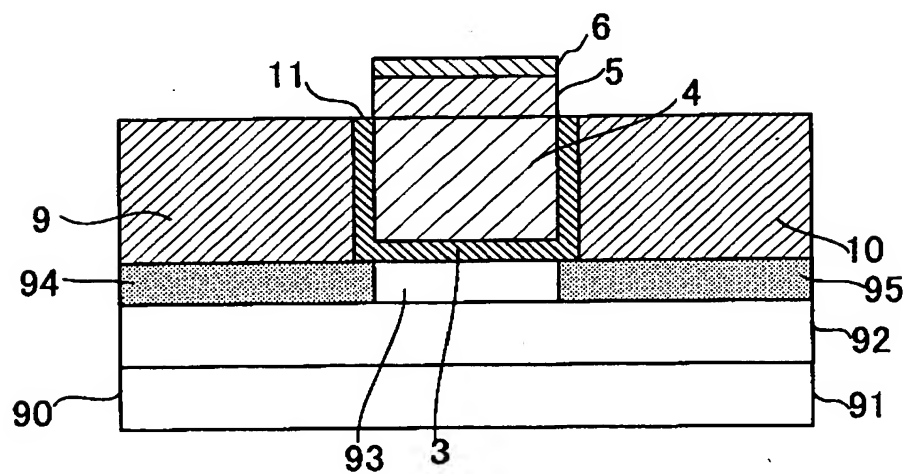
【図 8 (g)】



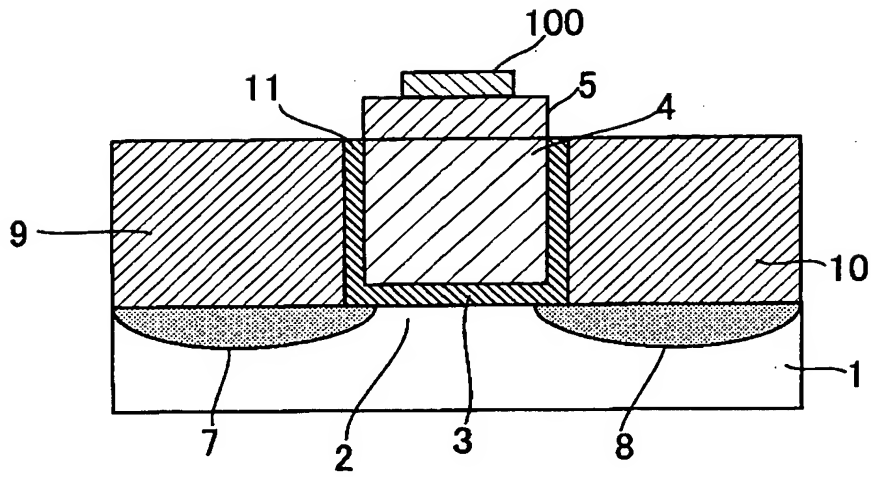
【図 8 (h)】



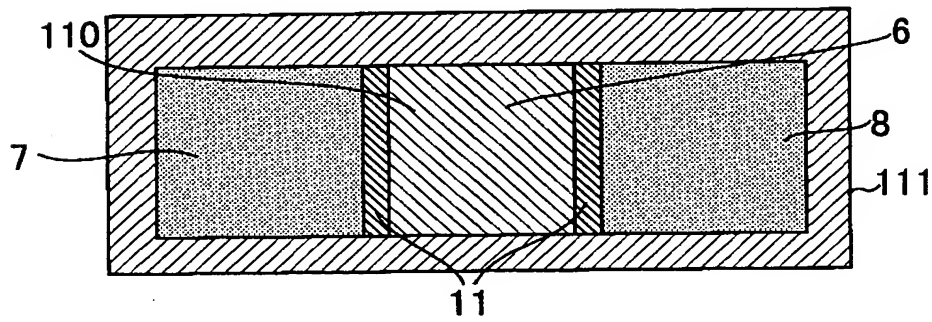
【図 9】



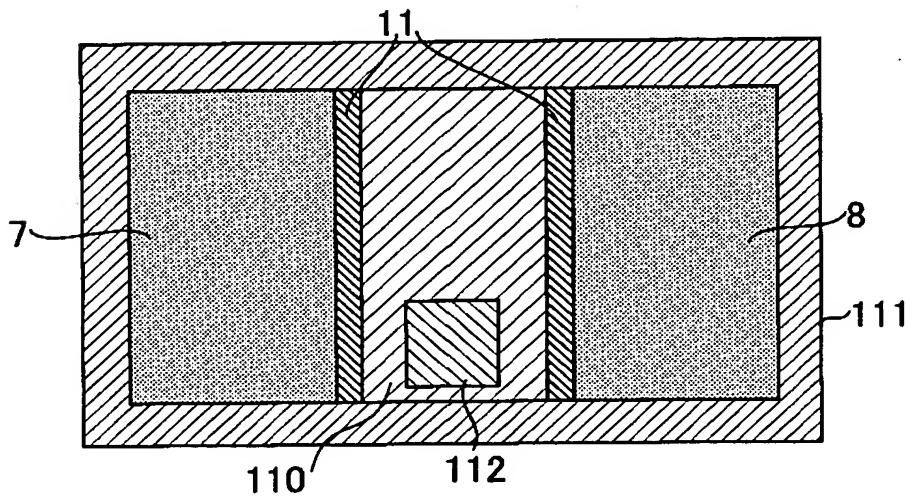
【図10】



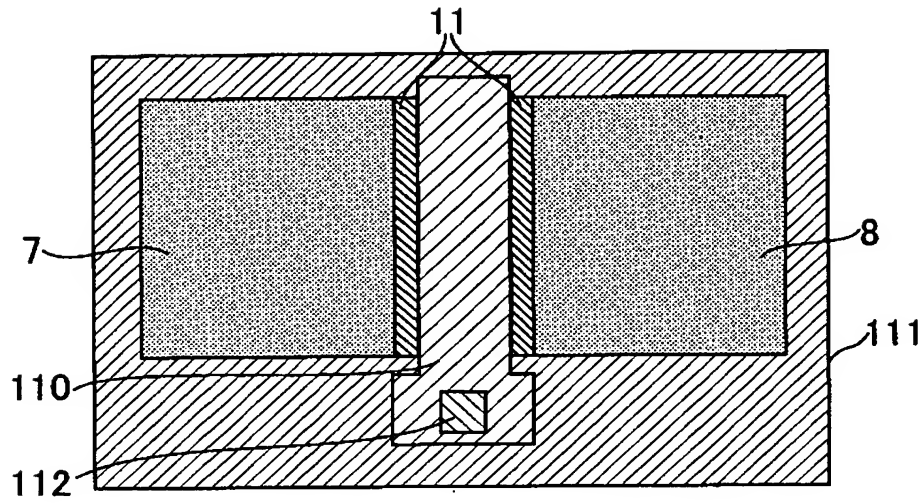
【図11(a)】



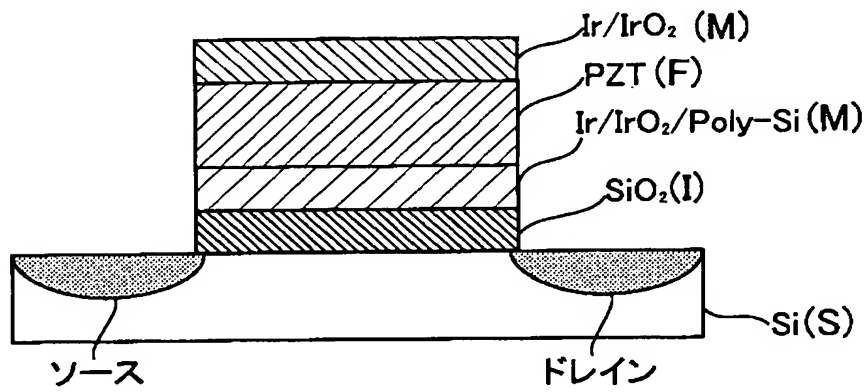
【図11(b)】



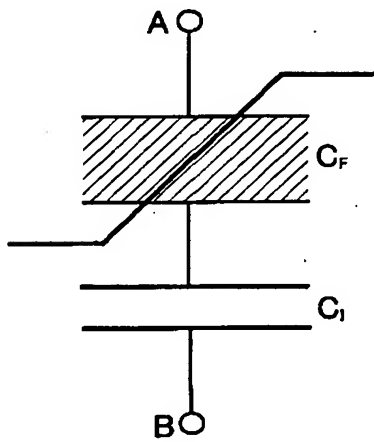
【図 11 (c)】



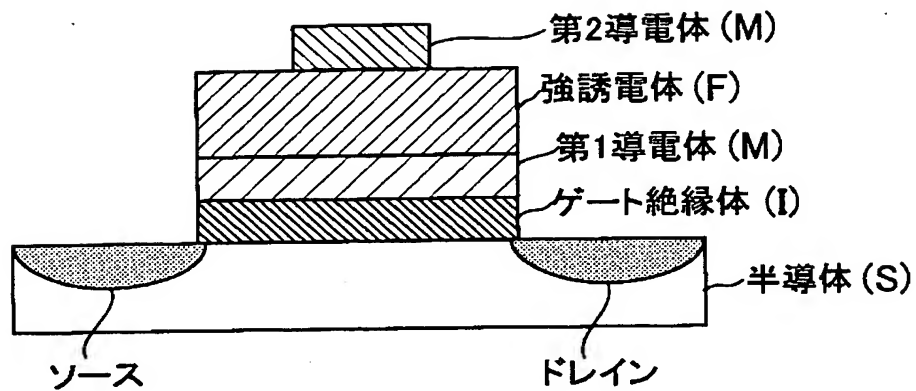
【図 12 (a)】



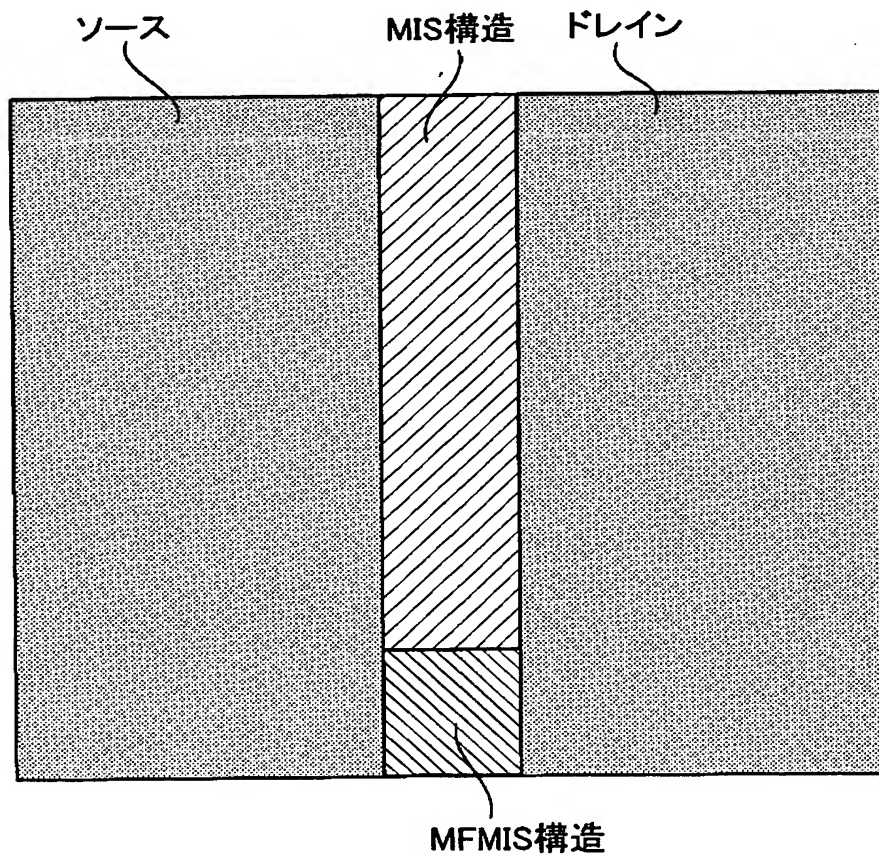
【図 12 (b)】



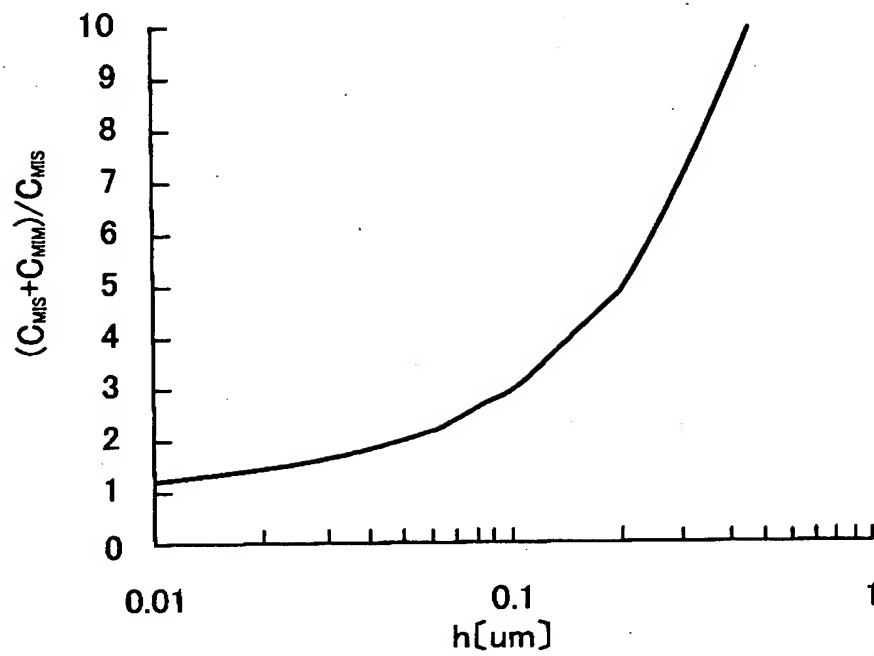
【図12(c)】



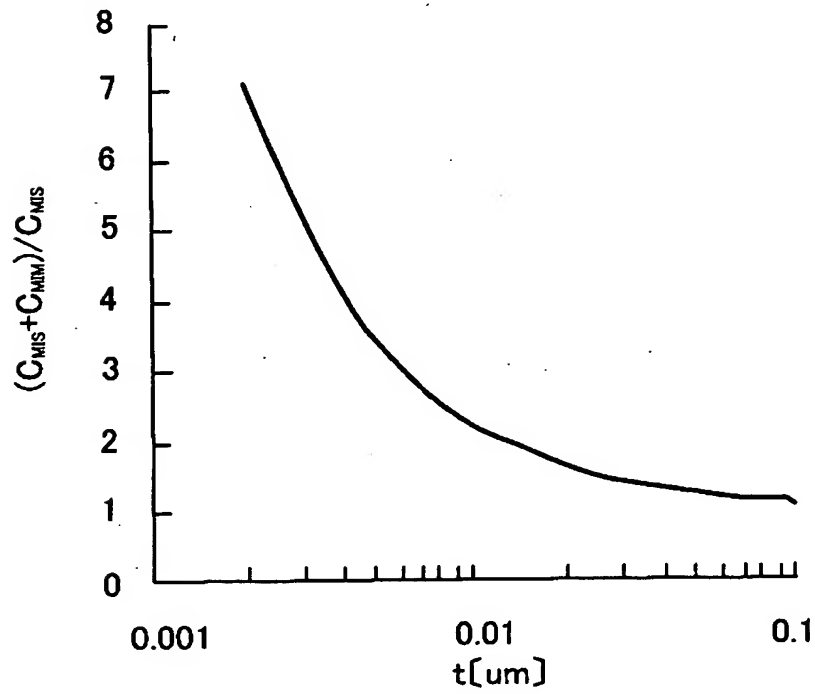
【図12(d)】



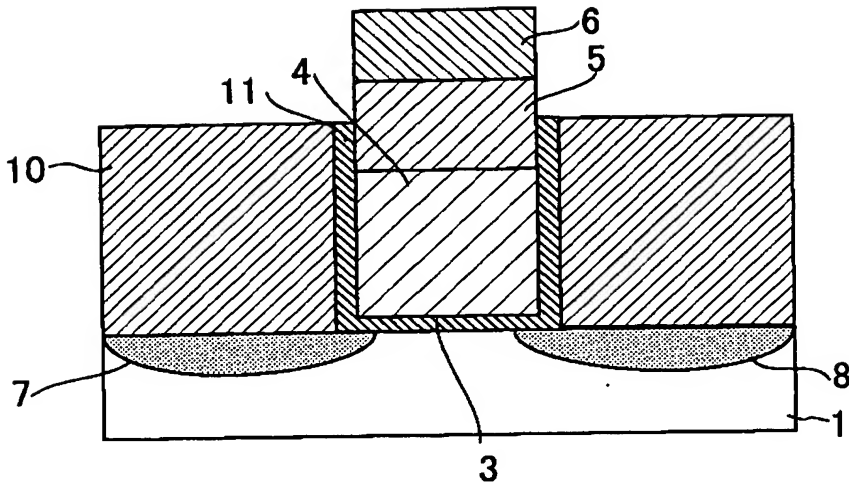
【図 1 3】



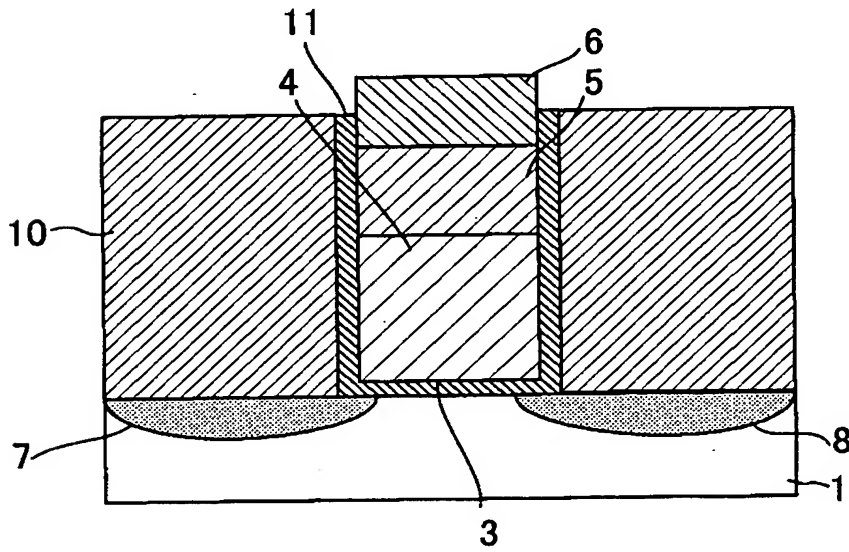
【図 1 4】



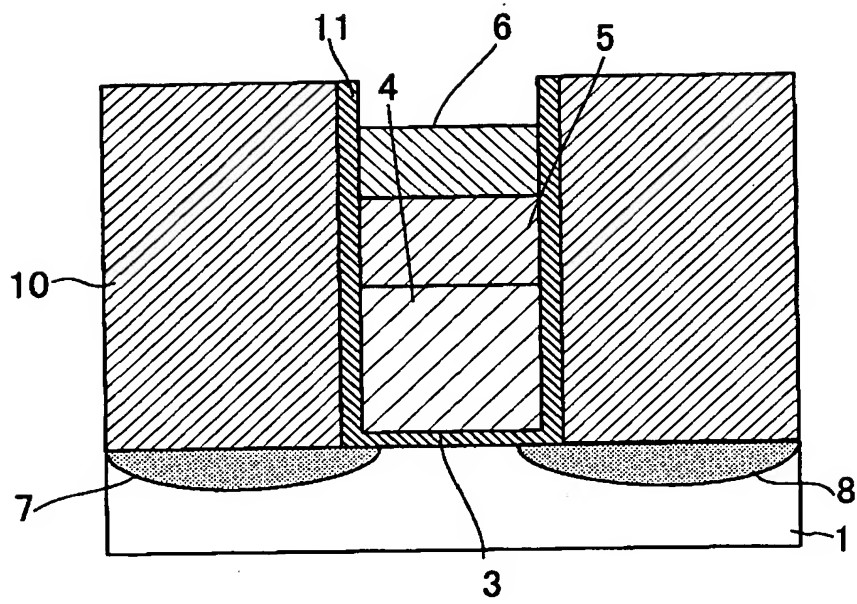
【図15(a)】



【図15(b)】



【図 1 5 (c) 】



【書類名】 要約書

【要約】

【課題】 MFMIS構造の半導体不揮発性記憶装置において、メモリセル面積を大きくすることなく、効率的に強誘電体キャパシタに分配電圧を加えることができる半導体不揮発性記憶装置及びその製造方法を提供する。

【解決手段】 強誘電体不揮発性記憶素子において、チャンネル領域上に第1絶縁体層（3）、第1導電体層（4）、強誘電体層（5）、及び第2導電体層（6）が順次積層された構造を持ち、ソース領域とドレイン領域上にそれぞれ積層された第3導電体（9）と第4導電体（10）を持ち、第3導電体（9）及び第4導電体（10）が、第1導電体層（4）と第2絶縁体薄膜（11）を介して対向する構造を持つ。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2001-090509
受付番号	50100439643
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成13年 6月15日

<認定情報・付加情報>

【特許出願人】

【識別番号】	301000011
【住所又は居所】	東京都千代田区霞が関1丁目3番1号
【氏名又は名称】	経済産業省産業技術総合研究所長

【特許出願人】

【識別番号】	390009667
【住所又は居所】	東京都江東区福住二丁目4番3号
【氏名又は名称】	日本プレシジョン・サーキット株式会社

【代理人】

【識別番号】	申請人
【識別番号】	100059959
【住所又は居所】	東京都千代田区丸の内3丁目3番1号 新東京ビ ル 中村合同特許法律事務所
【氏名又は名称】	中村 稔

【選任した代理人】

【識別番号】	100067013
【住所又は居所】	東京都千代田区丸の内3丁目3番1号 新東京ビ ル 中村合同特許法律事務所
【氏名又は名称】	大塚 文昭

【選任した代理人】

【識別番号】	100082005
【住所又は居所】	東京都千代田区丸の内3丁目3番1号 新東京ビ ル 中村合同特許法律事務所
【氏名又は名称】	熊倉 禎男

【選任した代理人】

【識別番号】	100065189
【住所又は居所】	東京都千代田区丸の内3丁目3番1号 新東京ビ ル 中村合同特許法律事務所
【氏名又は名称】	穴戸 嘉一

次頁有

認定・付加情報（続き）

【選任した代理人】

【識別番号】 100096194

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 竹内 英人

【選任した代理人】

【識別番号】 100074228

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 今城 俊夫

【選任した代理人】

【識別番号】 100084009

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 小川 信夫

【選任した代理人】

【識別番号】 100082821

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 村社 厚夫

【選任した代理人】

【識別番号】 100086771

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 西島 孝喜

【選任した代理人】

【識別番号】 100084663

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 箱田 篤

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2001- 90509

【承継人】

【識別番号】 301021533

【氏名又は名称】 独立行政法人産業技術総合研究所

【代表者】 吉川 弘之

【連絡先】 部署名 独立行政法人産業技術総合研究所
知的財産部知的財産管理室
担当者 長山 隆久
電話番号 0 2 9 8 - 6 1 - 3 2 8 2

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成6年特許願第39472号

【ブルーフの要否】 要

認定・付加情報

特許出願の番号	特願2001-090509
受付番号	50101413523
書類名	出願人名義変更届（一般承継）
担当官	風戸 勝利 9083
作成日	平成13年10月 2日

<認定情報・付加情報>

【提出日】 平成13年 9月26日

出 願 人 履 歴 情 報

識別番号 [301000011]

1. 変更年月日 2001年 1月 4日
[変更理由] 新規登録
住 所 東京都千代田区霞が関1丁目3番1号
氏 名 経済産業省産業技術総合研究所長

出 願 人 履 歴 情 報

識別番号 [390009667]

1. 変更年月日 2000年 7月 6日
[変更理由] 住所変更
住 所 東京都江東区福住二丁目4番3号
氏 名 日本プレシジョン・サーキット株式会社

出 願 人 履 歴 情 報

識別番号 [301021533]

1. 変更年月日 2001年 4月 2日

 [変更理由] 新規登録

 住 所 東京都千代田区霞が関1-3-1

 氏 名 独立行政法人産業技術総合研究所